

日本国特許庁
JAPAN PATENT OFFICE

JC714 U.S. PTO
10/078240
02/20/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2001年 2月23日

出願番号

Application Number:

特願2001-049468

[ST.10/C]:

[JP2001-049468]

出願人

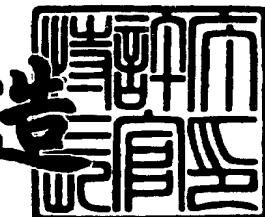
Applicant(s):

株式会社半導体エネルギー研究所

2002年 1月11日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3115413

【書類名】

特許願

【整理番号】

P005551

【提出日】

平成13年 2月23日

【あて先】

特許庁長官 及川 耕造 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネル
ギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネル
ギー研究所内

【氏名】 三津木 亨

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネル
ギー研究所内

【氏名】 高野 圭恵

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の作製方法

【特許請求の範囲】

【請求項1】 非晶質半導体膜にレーザ光を照射して結晶質半導体膜を形成する工程と、

加熱処理を行なって、前記レーザ光の照射により前記結晶質半導体膜に形成された歪みを低減する工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項2】 絶縁表面上に非晶質半導体膜を形成する工程と、

前記非晶質半導体膜にレーザ光を照射して結晶質半導体膜を形成する工程と、

加熱処理を行なって、前記レーザ光の照射により前記結晶質半導体膜に形成された歪みを低減する工程と、

前記加熱処理後の前記結晶質半導体膜にエッチングを行なって島状の結晶質半導体膜を形成する工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項3】 絶縁表面上に非晶質半導体膜を形成する工程と、

前記非晶質半導体膜にレーザ光を照射して結晶質半導体膜を形成する工程と、

前記結晶質半導体膜にエッチングを行なって、島状の結晶質半導体膜を形成する工程と、

加熱処理を行なって、前記レーザ光の照射により前記島状の結晶質半導体膜に形成された歪みを低減する工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項4】 非晶質半導体膜にレーザ光を照射して結晶質半導体膜を形成する工程と、

ランプ光を照射して、前記レーザ光の照射により前記結晶質半導体膜に形成された歪みを低減する工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項5】 絶縁表面上に非晶質半導体膜を形成する工程と、

前記非晶質半導体膜にレーザ光を照射して結晶質半導体膜を形成する工程と、

ランプ光を照射して、前記レーザ光の照射により前記結晶質半導体膜に形成された歪みを低減する工程と、

前記ランプ光を照射した後の前記結晶質半導体膜にエッチングを行なって島状の結晶質半導体膜を形成する工程と、
を有することを特徴とする半導体装置の作製方法。

【請求項6】 絶縁表面上に非晶質半導体膜を形成する工程と、

前記非晶質半導体膜にレーザ光を照射して結晶質半導体膜を形成する工程と、

前記結晶質半導体膜にエッチングを行なって島状の結晶質半導体膜を形成する工程と、

ランプ光を照射して、前記レーザ光の照射により前記島状の結晶質半導体膜に形成された歪みを低減する工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項7】 非晶質半導体膜にランプ光を照射して第1の結晶質半導体膜を形成する工程と、

前記第1の結晶質半導体膜にレーザ光を照射して第2の結晶質半導体膜を形成する工程と、

加熱処理を行なって、前記レーザ光の照射により前記第2の結晶質半導体膜に形成された歪みを低減する工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項8】 絶縁表面上に非晶質半導体膜を形成する工程と、

前記非晶質半導体膜にランプ光を照射して第1の結晶質半導体膜を形成する工程と、

前記第1の結晶質半導体膜にレーザ光を照射して第2の結晶質半導体膜を形成する工程と、

加熱処理を行なって、前記レーザ光の照射により前記第2の結晶質半導体膜に形成された歪みを低減する工程と、

前記加熱処理後の前記第2の結晶質半導体膜にエッチングを行なって島状の第2の結晶質半導体膜を形成する工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項9】 絶縁表面上に非晶質半導体膜を形成する工程と、
前記非晶質半導体膜にランプ光を照射して第1の結晶質半導体膜を形成する工程
と、
前記第1の結晶質半導体膜にレーザ光を照射して第2の結晶質半導体膜を形成す
る工程と、
前記加熱処理後の前記第2の結晶質半導体膜にエッティングを行なって島状の第2
の結晶質半導体膜を形成する工程と、
加熱処理を行なって、前記レーザ光の照射により前記島状の第2の結晶質半導体
膜に形成された歪みを低減する工程と、
を有することを特徴とする半導体装置の作製方法。

【請求項10】 非晶質半導体膜に第1の加熱処理を行なって第1の結晶質半導
体膜を形成する工程と、
前記第1の結晶質半導体膜にレーザ光を照射して第2の結晶質半導体膜を形成す
る工程と、
第2の加熱処理を行なって、前記レーザ光の照射により前記第2の結晶質半導体
膜に形成された歪みを低減する工程と、
を有することを特徴とする半導体装置の作製方法。

【請求項11】 絶縁表面上に非晶質半導体膜を形成する工程と、
前記非晶質半導体膜に第1の加熱処理を行なって第1の結晶質半導体膜を形成す
る工程と、
前記第1の結晶質半導体膜にレーザ光を照射して第2の結晶質半導体膜を形成す
る工程と、
第2の加熱処理を行なって、前記レーザ光の照射により前記第2の結晶質半導体
膜に形成された歪みを低減する工程と、
前記第2の加熱処理後の前記第2の結晶質半導体膜にエッティングを行なって島状
の第2の結晶質半導体膜を形成する工程と、
を有することを特徴とする半導体装置の作製方法。

【請求項12】 絶縁表面上に非晶質半導体膜を形成する工程と、
前記非晶質半導体膜に第1の加熱処理を行なって第1の結晶質半導体膜を形成す

る工程と、

前記第1の結晶質半導体膜にレーザ光を照射して第2の結晶質半導体膜を形成する工程と、

前記第2の結晶質半導体膜にエッチングを行なって島状の第2の結晶質半導体膜を形成する工程と、

第2の加熱処理を行なって、前記レーザ光の照射により前記島状の第2の結晶質半導体膜に形成された歪みを低減する工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項13】 非晶質半導体膜に加熱処理を行なって第1の結晶質半導体膜を形成する工程と、

前記第1の結晶質半導体膜にレーザ光を照射して第2の結晶質半導体膜を形成する工程と、

ランプ光を照射して、前記レーザ光の照射により前記第2の結晶質半導体膜に形成された歪みを低減する工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項14】 絶縁表面上に非晶質半導体膜を形成する工程と、

前記非晶質半導体膜に加熱処理を行なって第1の結晶質半導体膜を形成する工程と、

前記第1の結晶質半導体膜にレーザ光を照射して第2の結晶質半導体膜を形成する工程と、

ランプ光を照射して、前記レーザ光の照射により前記第2の結晶質半導体膜に形成された歪みを低減する工程と、

前記ランプ光を照射した後の前記第2の結晶質半導体膜にエッチングを行なって島状の第2の結晶質半導体膜を形成する工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項15】 絶縁表面上に非晶質半導体膜を形成する工程と、

前記非晶質半導体膜に加熱処理を行なって第1の結晶質半導体膜を形成する工程と、

前記第1の結晶質半導体膜にレーザ光を照射して第2の結晶質半導体膜を形成す

る工程と、

前記第2の結晶質半導体膜にエッティングを行なって島状の第2の結晶質半導体膜を形成する工程と、

ランプ光を照射して、前記レーザ光の照射により前記島状の第2の結晶質半導体膜に形成された歪みを低減する工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項16】 非晶質半導体膜に第1のランプ光を照射して第1の結晶質半導体膜を形成する工程と、

前記第1の結晶質半導体膜にレーザ光を照射して第2の結晶質半導体膜を形成する工程と、

第2のランプ光を照射して、前記レーザ光の照射により前記第2の結晶質半導体膜に形成された歪みを低減する工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項17】 絶縁表面上に非晶質半導体膜を形成する工程と、

前記非晶質半導体膜に第1のランプ光を照射して第1の結晶質半導体膜を形成する工程と、

前記第1の結晶質半導体膜にレーザ光を照射して第2の結晶質半導体膜を形成する工程と、

第2のランプ光を照射して、前記レーザ光の照射により前記第2の結晶質半導体膜に形成された歪みを低減する工程と、

前記第2のランプ光を照射した後の前記第2の結晶質半導体膜にエッティングを行なって島状の第2の結晶質半導体膜を形成する工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項18】 絶縁表面上に非晶質半導体膜を形成する工程と、

前記非晶質半導体膜に第1のランプ光を照射して第1の結晶質半導体膜を形成する工程と、

前記第1の結晶質半導体膜にレーザ光を照射して第2の結晶質半導体膜を形成する工程と、

前記第2の結晶質半導体膜にエッティングを行なって島状の第2の結晶質半導体膜

を形成する工程と、

第2のランプ光を照射して、前記レーザ光の照射により前記島状の第2の結晶質半導体膜に形成された歪みを低減する工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項19】 請求項1乃至18のいずれか一項において、前記レーザ光は、照射面またはその近傍における形状が線状または矩形状であることを特徴とする半導体装置の作製方法。

【請求項20】 請求項1乃至3および請求項7乃至9のいずれか一項において、前記加熱処理の加熱時間は、1~30分の範囲であることを特徴とする半導体装置の作製方法。

【請求項21】 請求項10乃至12のいずれか一項において、前記第2の加熱処理の加熱時間は、1~30分の範囲であることを特徴とする半導体装置の作製方法。

【請求項22】 請求項1乃至3および請求項7乃至9のいずれか一項において、前記加熱処理の加熱温度は、500°C以上であることを特徴とする半導体装置の作製方法。

【請求項23】 請求項10乃至12のいずれか一項において、前記第1の加熱処理の加熱時間は、600°C以上であることを特徴とする半導体装置の作製方法

【請求項24】 請求項10乃至12のいずれか一項において、前記第2の加熱処理の加熱時間は、500°C以上であることを特徴とする半導体装置の作製方法

【請求項25】 請求項13乃至15のいずれか一項において、前記加熱処理の加熱時間は、600°C以上であることを特徴とする半導体装置の作製方法。

【請求項26】 請求項4乃至6および請求項13乃至15のいずれか一項において、前記ランプ光を照射する時間は、1~30分の範囲であることを特徴とする半導体装置の作製方法。

【請求項27】 請求項16乃至18のいずれか一項において、前記第2のランプ光を照射する時間は、1~30分の範囲であることを特徴とする半導体装置の

作製方法。

【請求項28】 請求項4乃至6および請求項13乃至15のいずれか一項において、前記ランプ光を照射する温度は、500℃以上であることを特徴とする半導体装置の作製方法。

【請求項29】 請求項16乃至18のいずれか一項において、前記第2のランプ光を照射する温度は、500℃以上であることを特徴とする半導体装置の作製方法。

【請求項30】 請求項4乃至6および請求項13乃至15のいずれか一項において、前記ランプ光を照射するときの昇温レートまたは降温レートは、30～300℃／分の範囲であることを特徴とする半導体装置の作製方法。

【請求項31】 請求項16乃至18のいずれか一項において、前記第2のランプ光を照射するときの昇温レートまたは降温レートは、30～300℃／分の範囲であることを特徴とする半導体装置の作製方法。

【請求項32】 請求項4乃至6および請求項13乃至15のいずれか一項において、前記ランプ光は、基板の上方から、基板の下方からもしくは基板の上方および下方から照射されることを特徴とする半導体装置の作製方法。

【請求項33】 請求項4乃至6および請求項13乃至15のいずれか一項において、前記ランプ光は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、または高圧水銀ランプから射出された光であることを特徴とする半導体装置の作製方法。

【請求項34】 請求項16乃至18のいずれか一項において、前記第1のランプ光または前記第2のランプ光は、基板の上方から、基板の下方からもしくは基板の上方および下方から照射されることを特徴とする半導体装置の作製方法。

【請求項35】 請求項16乃至18のいずれか一項において、前記第1のランプ光または前記第2のランプ光は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、または高圧水銀ランプから射出された光であることを特徴とする半導体装置の作製方法。

【請求項36】 請求項1乃至18のいずれか一項において、前記非晶質半導体膜は、LPCVD法またはスパッタ法により形成されることを特徴とする半導体

装置の作製方法。

【請求項37】 請求項1乃至18のいずれか一項において、前記非晶質半導体膜は、400°C以上でプラズマCVD法により形成されることを特徴とする半導体装置の作製方法。

【請求項38】 請求項1乃至36のいずれか一項において、前記半導体装置は、液晶表示装置または発光装置であることを特徴とする半導体装置の作製方法。

【請求項39】 請求項1乃至36のいずれか一項において、前記半導体装置は、携帯電話、ビデオカメラ、デジタルカメラ、プロジェクター、ゴーグル型ディスプレイ、パーソナルコンピュータ、DVDプレイヤー、電子書籍、または携帯型情報端末であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はレーザビームを用いた半導体膜のアニール（以下、レーザアニールという）を工程に含んで作製された半導体装置の作製方法に関する。なお、ここでいう半導体装置には、液晶表示装置や発光装置等の電気光学装置及び該電気光学装置を部品として含む電子装置も含まれるものとする。

【0002】

【従来の技術】

近年、ガラス等の絶縁基板上に形成された半導体膜に対し、レーザアニールを施して、結晶化させたり、結晶性を向上させる技術が広く研究されている。上記半導体膜には珪素がよく用いられる。本明細書中では、半導体膜をレーザ光で結晶化し、結晶質半導体膜を得る手段をレーザ結晶化という。なお、本明細書中ににおいて、結晶質半導体膜とは、結晶化領域が存在する半導体膜のことと指す。

【0003】

ガラス基板は、従来よく使用されてきた合成石英ガラス基板と比較し、安価で加工性に富んでおり、大面積基板を容易に作製できる利点を持っている。これが上記研究の行われる理由である。また、結晶化に好んでレーザが使用されるのは、ガラス基板の融点が低いからである。レーザは基板の温度を余り上昇させずに

、半導体膜に高いエネルギーを与えることが出来る。また、電熱炉を用いた加熱手段に比べて格段にスループットが高い。

【0004】

レーザアニールを施して形成された結晶質半導体膜は、高い移動度を有するため、この結晶質半導体膜を用いて薄膜トランジスタ（TFT）を形成し、例えば、1枚のガラス基板上に、画素駆動用と駆動回路用のTFTを作製する、モノリシック型の液晶電気光学装置等に盛んに利用されている。

【0005】

また、出力の大きい、エキシマレーザ等のパルスレーザ光を、照射面において、数cm角の四角いスポットや、長さ10cm以上の線状となるように光学系にて加工し、レーザ光を走査させて(あるいはレーザ光の照射位置を被照射面に対し相対的に移動させて)、レーザアニールを行なう方法が生産性が高く工業的に優れているため、好んで使用されている。

【0006】

特に、線状ビームを用いると、前後左右の走査が必要なスポット状のレーザ光を用いた場合とは異なり、線状ビームの長尺方向に直角な方向だけの走査で被照射面全体にレーザ照射を行なうことが出来るため、量産性が高い。長尺方向に直角な方向に走査するのは、それが最も効率の良い走査方向であるからである。この高い量産性により、現在レーザアニール法にはパルス発振エキシマレーザ光を適当な光学系で加工した線状ビームを使用することが、TFTを用いる液晶表示装置の製造技術の主流になりつつある。

【0007】

【発明が解決しようとする課題】

しかしながら、レーザ光の照射による結晶化法は、得られる結晶質半導体膜の膜質を低下させてしまう場合がある。すなわち、半導体膜にレーザ光を照射すると、半導体膜が瞬間的に溶融されて、局所的に膨張し、この膨張によって生じる内部応力を緩和するために、結晶質半導体膜に歪みが生じる。

【0008】

また、レーザ光の照射による結晶化法は、基板の温度を余り上昇させずに、半

導体膜に高いエネルギーを与えることができる。そのため、基板と半導体膜とに急峻な温度勾配が生じ、前記半導体膜は引っ張り応力により歪んでしまう。

【0009】

絶縁ゲート型の半導体装置において、半導体膜に歪みが存在すると、前記歪みに起因するポテンシャル障壁やトラップ順位が形成されるため、活性層とゲート絶縁膜との界面準位を高くしてしまう。また、歪みがあると、電界が均一にからず、半導体装置の動作不良の原因となる。加えて、半導体膜表面の歪みは、スパッタ法やCVD法により堆積されるゲート絶縁膜の平坦性を損なうものであり、絶縁不良等の信頼性を低下させる。また、TFTの電界効果移動度を決める要素のひとつとして、表面散乱効果があげられる。TFTの活性層とゲート絶縁膜界面の平坦性が電界効果移動度に大きな影響を与え、界面が平坦であるほど散乱の影響を受けず高い電界効果移動度が得られる。このように、結晶質半導体膜の歪みがTFTの特性全てに影響を与え、歩留まりまで変わってしまう。

【0010】

本発明は、歪みの少ない半導体膜を形成し、該半導体膜を用いた半導体装置の作製方法を提供することを目的とする。

【0011】

【課題を解決するための手段】

本発明において、半導体膜に対してレーザ光による結晶化を行なった後に、加熱処理により前記半導体膜を加熱することで、歪みを低減することを特徴とする。レーザ光による照射が局所的に加熱するのに対し、加熱処理は基板および半導体膜を全体的に加熱するため、半導体膜に形成された歪みが低減され、該半導体膜の物性を向上させることを可能とする。

【0012】

本発明の作製方法は、
非晶質半導体膜にレーザ光を照射して結晶質半導体膜を形成する工程と、加熱処理を行なって、前記レーザ光の照射により前記結晶質半導体膜に形成された歪みを低減する工程を有する半導体装置の作製方法である。

【0013】

上記作製方法において、前記加熱処理は、ファーネスアニール炉を用いた熱アニール法またはRTA法であることを特徴としている。

【0014】

前記RTA法は、RTAはランプを用いて基板を急速に加熱し、短時間で熱処理を行う方法である。本明細書中では、ランプから射出される光をランプ光と呼ぶ。前記ランプ光は、基板の上側から、基板の下側からもしくは基板の下側および上側から照射されるものとする。そして、前記ランプ光は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、または高圧水銀ランプから射出された光であるとする。

【0015】

また、上記作製方法において、前記加熱処理の加熱温度は、500度以上であることを特徴としている。

【0016】

また、上記作製方法において、前記加熱処理の加熱時間は、30分以内であることを特徴としている。

【0017】

また、本発明の他の作製方法は、

非晶質半導体膜に第1の加熱処理を行なって第1の結晶質半導体膜を形成する工程と、前記第1の結晶質半導体膜にレーザ光を照射して第2の結晶質半導体膜を形成する工程と、第2の加熱処理を行なって、前記レーザ光の照射により前記第2の結晶質半導体膜に形成された歪みを低減する工程を有する半導体装置の作製方法である。

【0018】

上記作製方法において、前記第1の加熱処理または前記第2の加熱処理は、ファーネスアニール炉を用いた熱アニール法またはランプ光の照射であることを特徴としている。

【0019】

前記ランプ光は、基板の上側から、基板の下側からもしくは基板の下側および上側から照射されるものとする。そして、ハロゲンランプ、メタルハライドラン

プ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、または高圧水銀ランプから射出された光であるとする。

【0020】

また、上記作製方法において、前記第2の加熱処理の加熱温度は、500度以上であることを特徴としている。

【0021】

また、上記作製方法において、前記第2の加熱処理の加熱時間は、30分以内であることを特徴としている。

【0022】

【発明の実施形態】

本発明の実施形態について図1を用いて説明する。

【0023】

まず、基板10上に下地絶縁膜11を形成する。基板10としては、透光性を有するガラス基板や石英基板を用いる。また、下地絶縁膜11としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜を形成する。ここでは下地膜11として単層構造を用いた例を示したが、前記絶縁膜の2層以上積層させた構造を用いても良い。なお、下地絶縁膜を形成しなくてもよい。

【0024】

次いで、下地絶縁膜上に半導体膜12を形成する。半導体膜12は、非晶質構造を有する半導体膜を公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により成膜する。この半導体膜12の厚さは25～80nm（好ましくは30～60nm）の厚さで形成する。半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコングルマニウム（SiGe）合金などで形成すると良い。

【0025】

続いて、レーザ結晶化法を行なって結晶質半導体膜を形成する。もちろん、他の公知の結晶化処理（熱結晶化法等）を行なったのちにレーザ結晶化法を行なってもよい。レーザ結晶化により結晶質半導体膜には歪み13が形成される。なお、レーザ結晶化を行なう前に、半導体膜が含有する水素を放出させておくこと

が好ましく、400～500°Cで1時間程度の熱処理を行ない含有する水素量を前記半導体膜に含まれる全原子数の5%以下にしてから結晶化させると膜表面の荒れを防ぐことができるので良い。一般に、スパッタ法やLPCVD法により非晶質半導体膜を形成すると、プラズマCVD法により形成された非晶質半導体膜より含有する水素濃度が低い。また、プラズマCVD法によって形成された非晶質半導体膜でも、温度400度以上で形成されれば、水素濃度が低い。また、熱結晶化法を行なう場合は、温度600度以上で加熱処理するのが望ましい。

【0026】

レーザ結晶化法は、パルス発振型または連続発光型のエキシマレーザやYAGレーザ、 YVO_4 レーザ等を用いることができる。これらのレーザを用いる場合には、レーザ発振器から放射されたレーザビームを光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザを用いる場合はパルス発振周波数300Hzとし、レーザエネルギー密度を100～800mJ/cm²(代表的には200～700mJ/cm²)とする。また、YAGレーザを用いる場合にはその第2高調波を用いパルス発振周波数1～300Hzとし、レーザエネルギー密度を300～1000mJ/cm²(代表的には350～800mJ/cm²)とすると良い。そして幅100～1000μm、例えば400μmで線状に集光したレーザビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率(オーバーラップ率)を50～98%として行ってもよい。

【0027】

また、レーザ結晶化法は、大気中、窒素などの不活性ガスの雰囲気中、減圧雰囲気等にて行なうことができる。

【0028】

続いて、ファーネスアニール炉を用いた熱アニールやRTA法による加熱処理を行なう。ファーネスアニール炉を用いた熱アニールとしては、500°C以上、好ましくは550～575°Cの範囲で、1～30分行なえばよい。RTA法としては、例えば、窒素雰囲気中にて、基板の下側に11本および上側に10本設置されたハロゲンランプ(赤外光)15を点灯させて行なう。RTA法は、瞬間的

に昇温することも出来るが、30～300°C／分の昇温レートや降温レートで温度調節してもよい。ハロゲンランプが供給する熱（シリコンウエハに埋め込まれた熱電対で測定）は700～1300°Cであるが、最適な加熱処理の条件は用いる基板や半導体膜の状態等によって異なるので、実施者が適宜決定すればよい。

【0029】

なお、本実施形態では、窒素雰囲気としたが、ヘリウム（He）、ネオン（Ne）、アルゴン（Ar）といった不活性気体でもよい。また、光源としてハロゲンランプを用いているが、その他、キセノンランプのように、紫外光ランプを光源として用いるのも好ましい。

【0030】

このような加熱処理を経た半導体膜の歪みは、レーザ結晶化後に比べて低減されている。そして、パターニングを行なって、所望の形状の半導体層16を形成し、前記半導体層を用いてTFTを作製すれば、その電気的特性は良好なものとなる。

【0031】

以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行なうこととする。

【0032】

【実施例】

【実施例1】

本発明の実施例について図1を用いて説明する。

【0033】

まず、基板10上に下地絶縁膜11を形成する。基板10としては、透光性を有するガラス基板や石英基板を用いる。また、下地絶縁膜11としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜を形成する。ここでは下地膜11として単層構造を用いた例を示したが、前記絶縁膜の2層以上積層させた構造を用いても良い。なお、下地絶縁膜を形成しなくてもよい。本実施例では、ガラス基板を用い、前記ガラス基板上に、プラズマCVD法により、膜厚150nmの酸化窒化珪素膜を形成する。

【0034】

次いで、下地絶縁膜上に半導体膜12を形成する。半導体膜12は、非晶質構造を有する半導体膜を公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により成膜する。この半導体膜12の厚さは25～80nm（好ましくは30～60nm）の厚さで形成する。半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。本実施例では、プラズマCVD法により、膜厚55nmの非晶質珪素膜を形成する。

【0035】

続いて、レーザ結晶化法を行なって結晶質半導体膜を形成する。もちろん、他の公知の結晶化処理（熱結晶化法等）を行なったのちにレーザ結晶化法を行なってもよい。本実施例では、エキシマレーザを照射面における形状が線状になるよう光学系により成形して照射する。これにより半導体膜の結晶性の向上が行なわれたが、レーザ光の照射により半導体膜には歪み13が生じる。

【0036】

続いて、ファーネスアニール炉を用いた熱アニール法やRTA法による加熱処理を行なう。加熱処理は、例えば、窒素雰囲気中にて、基板の下側に11本および上側に10本設置されたハロゲンランプ（赤外光）15を点灯させて行なう。ハロゲンランプが供給する熱（シリコンウェハに埋め込まれた熱電対で測定）は700～1300℃であるが、最適な加熱処理の条件は用いる基板や半導体膜の状態等によって異なるので、実施者が適宜決定すればよい。本実施例では、RTA法を適用し、窒素雰囲気中にて、温度700℃で、4分間の加熱処理を行なう。

【0037】

このような加熱処理を経た半導体膜の歪みは、レーザ結晶化後に比べて低減されている。そして、パターニングを行なって、所望の形状の半導体層16を形成し、前記半導体層を用いてTFTを作製すれば、その電気的特性は良好なものとなる。

【0038】

[実施例2]

本実施例では、実施例1とは異なる作製工程を経て、半導体膜の歪みを低減する方法について図2を用いて説明する。

【0039】

まず、実施例1にしたがって、図1（A）の状態を作製する。なお、図1（A）と図2（A）は同じ状態を示し、対応する箇所には同じ符号を用いている。

【0040】

続いて、レーザ結晶化法を行なって結晶質半導体膜を形成する。もちろん、他の公知の結晶化処理（熱結晶化法等）を行なったのちにレーザ結晶化法を行なってもよい。本実施例では、YAGレーザ第2高調波を照射面における形状が線状になるよう光学系により成形して照射する。これにより半導体膜の結晶性の向上が行なわれたが、レーザ光の照射により半導体膜には歪み13が生じる。

【0041】

そして、パターニングを行なって、半導体層17を形成する。

【0042】

続いて、ファーネスアニール炉を用いた熱アニール法やRTA法による加熱処理を行なう。加熱処理は、500度以上が望ましい。本実施例では、ファーネスアニール炉を用いた熱アニール法を適用し、窒素雰囲気中にて、温度550℃で、30分間の加熱処理を行なう。

【0043】

このような加熱処理を経た半導体層の歪みは、レーザ結晶化後に比べて低減されており、前記半導体層を用いてTFTを作製すれば、その電気的特性は良好なものとなる。

【0044】

[実施例3]

本実施例では、実施例1および実施例2とは異なる作製工程を経て、加熱処理により半導体膜の歪みを低減する方法について図3を用いて説明する。

【0045】

まず、実施例1にしたがって、図1（A）の状態まで形成する。なお、図1（

A) と図3 (A) は同じ状態を示し、対応する箇所には同じ符号を用いている。

【0046】

次に、第1の加熱処理を行なって半導体膜の結晶化を行なう。ここでは、加熱処理としてRTA法を用いる。RTA法は、例えば、窒素雰囲気中にて、基板の下側に11本および上側に10本設置されたハロゲンランプ（赤外光）15を1~60秒（好ましくは30~60秒）、1~10回（好ましくは、2~6回）点灯させて行なう。ハロゲンランプが供給する熱（シリコンウエハに埋め込まれた熱電対で測定）は700~1300°Cであるが、最適な加熱処理の条件は半導体膜の状態等によって異なるので、実施者が適宜決定すればよい。本実施例では、窒素雰囲気中にて、温度750°C、5分間の加熱処理を行なった。（図3 (B)）

【0047】

続いて、レーザ結晶化法を行なって半導体膜を結晶化する。本実施例では、エキシマレーザを照射面における形状が線状になるよう光学系により成形して照射した。これにより半導体膜の結晶性の向上が行なわれたが、レーザ光の照射により半導体膜には歪み13が生じる。（図3 (C)）

【0048】

ここで、パターニングを行なって、所望の形状の半導体層を形成してもよい。

【0049】

そして、第2の加熱処理を行なう。加熱処理は、ファーネスアニール炉を用いた熱アニール法やRTA法を適用すればよい。本実施例では、ファーネスアニール炉を用いた熱アニール法により窒素雰囲気中にて、温度575°C、30分間の加熱処理を行なった。（図3 (D)）

【0050】

このような加熱処理を経た半導体膜の歪みは、レーザ結晶化後に比べて低減されている。そして、パターニングを行なって、所望の形状の半導体層19を形成し、前記半導体層を用いてTFTを作製すれば、その電気的特性は良好なものとなる。

【0051】

【実施例4】

本実施例では、実施例1乃至3とは異なる作製工程を経て、加熱処理により半導体膜の歪みを低減する方法について図4を用いて説明する。

【0052】

まず、基板10として、透光性を有するガラス基板、石英基板を用いる。本実施例では基板10としてガラス基板を用いる。

【0053】

導電膜を形成し、エッティングを行なって所望の形状の導電膜21を形成する。導電膜の材料に特に限定はないが、耐熱性を有するものを用い、Ta、W、Ti、Mo、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした結晶質珪素膜に代表される半導体膜を用いてもよい。また、AgPdCu合金を用いてもよい。もちろん、導電膜は単層ではなく、積層としてもよい。本実施例では、膜厚400nmのW膜からなる導電膜306を形成する。

【0054】

そして、絶縁膜22としては、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜を形成する。本実施例では、プラズマCVD法により膜厚150nmの酸化珪素膜を形成する。

【0055】

絶縁膜上に半導体膜23を形成する。半導体膜23は、非晶質構造を有する半導体膜を公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により成膜する。この半導体膜23の厚さは25~80nm（好ましくは30~60nm）の厚さで形成する。半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。本実施例では、プラズマCVD法により、膜厚55nmの非晶質珪素膜を形成する。

（図4（A））

【0056】

そして、レーザ結晶化法を行なって半導体膜を結晶化する。もちろん、他の公知の結晶化処理（熱結晶化法等）を行なったのちにレーザ結晶化法を行なっても

よい。本実施例では、YAGレーザの第2高調波を照射面における形状が線状になるよう光学系により成形して照射する。これにより半導体膜の結晶化が行なわれるが、前記半導体膜には歪み13が生じる。(図4(B))

【0057】

続いて、加熱処理を行なう。加熱処理はファーネスアニール炉を用いた熱アニール法やRTA法を適用すればよい。RTA法を適用するなら、例えば、窒素雰囲気中にて、基板の下側に11本および上側に10本設置されたハロゲンランプ(赤外光)15を点灯させて行なう。ハロゲンランプが供給する熱(シリコンウエハに埋め込まれた熱電対で測定)は700~1300°Cであるが、最適な加熱処理の条件は半導体膜の状態等によって異なるので、実施者が適宜決定すればよい。本実施例では、RTA法を適用し、窒素雰囲気中にて、温度725°Cで5分間の加熱処理を行なう。(図4(C))

【0058】

このような加熱処理を経た半導体膜の歪みは、レーザ結晶化後に比べて低減されている。そして、パターニングを行なって、所望の形状の半導体層24を形成し、前記半導体層を用いてTFTを作製すれば、その電気的特性は良好なものとなる。

【0059】

[実施例5]

本実施例ではアクティブマトリクス基板の作製方法について図5~図9を用いて説明する。なお、本明細書中では駆動回路と画素部を同一基板上に形成された基板を、便宜上アクティブマトリクス基板と呼ぶ。

【0060】

まず、本実施例ではコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板320を用いる。なお、基板320としては、石英基板やシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したもの用いても良い。また、本実施例の処理温度に耐えうる耐熱性が有するプラスチック基板を用いてもよい。

【0061】

次いで、基板320上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地膜321を形成する。本実施例では下地膜321として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。下地膜301の一層目としては、プラズマCVD法を用い、SiH₄、N₂H₃、及びN₂Oを反応ガスとして成膜される酸化窒化珪素膜321aを10~200nm(好ましくは50~100nm)形成する。本実施例では、膜厚50nmの酸化窒化珪素膜301a(組成比Si=32%、O=27%、N=24%、H=17%)を形成した。次いで、下地膜301の二層目としては、プラズマCVD法を用い、SiH₄、及びN₂Oを反応ガスとして成膜される酸化窒化珪素膜321bを50~200nm(好ましくは100~150nm)の厚さに積層形成する。本実施例では、膜厚100nmの酸化窒化珪素膜321b(組成比Si=32%、O=59%、N=7%、H=2%)を形成する。

【0062】

次いで、下地膜上に半導体膜322を形成する。半導体膜322は、非晶質構造を有する半導体膜を公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により、25~80nm(好ましくは30~60nm)の厚さで形成する。半導体膜の材料に限定はないが、好ましくは珪素または珪素ゲルマニウム(SiGe)合金などで形成すると良い。続いて、レーザ結晶化法を行なって、前記半導体膜を結晶化する。もちろん、他の公知の結晶化処理(熱結晶化法、ニッケルなどの触媒を用いた熱結晶化法等)を行なったのちに、レーザ結晶化法を行なってもよい。本実施例では、レーザ結晶化法を適用する。

【0063】

レーザ結晶化法は、パルス発振型または連続発光型のエキシマレーザやYAGレーザ、YVO₄レーザ等を用いることができる。これらのレーザを用いる場合には、レーザ発振器から放射されたレーザビームを光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザを用いる場合はパルス発振周波数300Hzとし、レーザエネルギー密度を100~800mJ/cm²(代表的には200~700mJ/cm²)

とする。また、YAGレーザを用いる場合にはその第2高調波を用いパルス発振周波数1～300Hzとし、レーザーエネルギー密度を300～1000mJ/cm²（代表的には350～800mJ/cm²）とすると良い。そして幅100～1000μm、例えば400μmで線状に集光したレーザビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率（オーバーラップ率）を50～98%として行ってもよい。

【0064】

そして、得られた結晶質半導体膜を所望の形状にパターニングして、半導体層402～406を形成する。

【0065】

続いて、レーザ光の照射によって形成された歪みを低減するために、加熱処理を行なう。本実施例ではランプ光を照射する。例えば、窒素雰囲気中にて、基板の下側に11本および上側に10本設置されたハロゲンランプ（赤外光）15を1～6.0秒（好ましくは30～60秒）、1～10回（好ましくは、2～6回）点灯させて行なう。ハロゲンランプが供給する熱（シリコンウエハに埋め込まれた熱電対で測定）は700～1300℃であるが、最適な加熱処理の条件は半導体膜の状態等によって異なるので、実施者が適宜決定すればよい。しかしながら、量産工程を考慮すると、700～750℃程度で5分以内の加熱処理が望ましい。本実施例では、700℃の窒素雰囲気中に4分間曝す。

【0066】

半導体層402～406を形成した後、TFTのしきい値を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを行なってもよい。

【0067】

次いで、半導体層402～406を覆うゲート絶縁膜407を形成する。ゲート絶縁膜407はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により110nmの厚さで酸化窒化珪素膜（組成比Si=32%、O=59%、N=7%、H=2%）で形成した。もちろん、ゲート絶縁膜は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いて

も良い。

【0068】

また、酸化珪素膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) とO₂とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波(13.56MHz)電力密度0.5～0.8W/cm²で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0069】

次いで、図5(C)に示すように、ゲート絶縁膜407上に膜厚20～100nmの第1の導電膜408と、膜厚100～400nmの第2の導電膜409とを積層形成する。本実施例では、膜厚30nmのTaN膜からなる第1の導電膜408と、膜厚370nmのW膜からなる第2の導電膜409を積層形成した。TaN膜はスパッタ法で形成し、Taのターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W膜は、Wのターゲットを用いたスパッタ法で形成した。その他に6フッ化タンクスチン(WF₆)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度のW(純度99.999%)のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20μΩcmを実現することができた。

【0070】

なお、本実施例では、第1の導電膜408をTaN、第2の導電膜409をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした結晶質珪素膜に代表される半導体膜を用いてもよい。また、AgPdCu合金を用いても

よい。また、第1の導電膜をタンタル（Ta）膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化チタン（TiN）膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル（TaN）膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜を窒化タンタル（TaN）膜で形成し、第2の導電膜をCu膜とする組み合わせとしてもよい。

【0071】

次に、フォトリソグラフィ法を用いてレジストからなるマスク410～415を形成し、電極及び配線を形成するための第1のエッティング処理を行なう。第1のエッティング処理では第1及び第2のエッティング条件で行なう。本実施例では第1のエッティング条件として、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッティング法を用い、エッティング用ガスにCF₄とCl₂とO₂とを用い、それぞれのガス流量比を2.5／2.5／1.0（sccm）とし、1Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成してエッティングを行った。ここでは、松下電器産業（株）製のICPを用いたドライエッティング装置（Model E645-□ICP）を用いた。基板側（試料ステージ）にも150WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッティング条件によりW膜をエッティングして第1の導電層の端部をテーパー形状とする。

【0072】

この後、レジストからなるマスク410～415を除去せずに第2のエッティング条件に変え、エッティング用ガスにCF₄とCl₂とを用い、それぞれのガス流量比を3.0／3.0（sccm）とし、1Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成して約30秒程度のエッティングを行った。基板側（試料ステージ）にも20WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した第2のエッティング条件ではW膜及びTaN膜とも同程度にエッティングされる。なお、ゲート絶縁膜上に残渣を残すことなくエッティングするためには、10～20%程度の割合でエッティング時間を増加させると良い。

【0073】

上記第1のエッティング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパー形状となる。このテーパー部の角度は15~45°となる。こうして、第1のエッティング処理により第1の導電層と第2の導電層から成る第1の形状の導電層417~422（第1の導電層417a~422aと第2の導電層417b~422b）を形成する。416はゲート絶縁膜であり、第1の形状の導電層417~422で覆われない領域は20~50nm程度エッティングされ薄くなつた領域が形成される。

【0074】

そして、レジストからなるマスクを除去せずに第1のドーピング処理を行なう。（図6（A））ドーピング処理はイオンドープ法、若しくはイオン注入法で行なえば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{15} / \text{cm}^2$ とし、加速電圧を60~100keVとして行なう。本実施例ではドーズ量を $1.5 \times 10^{15} / \text{cm}^2$ とし、加速電圧を80keVとして行った。*n*型を付与する不純物元素として15族に属する元素、典型的にはリン（P）または砒素（As）を用いるが、ここではリン（P）を用いた。この場合、導電層417~421が*n*型を付与する不純物元素に対するマスクとなり、自己整合的に第1の高濃度不純物領域306~310が形成される。第1の高濃度不純物領域306~310には $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度範囲で*n*型を付与する不純物元素を添加する。

【0075】

次いで、レジストからなるマスクを除去せずに第2のエッティング処理を行なう。ここでは、エッティングガスにCF₄とCl₂とO₂とを用い、W膜を選択的にエッティングする。この時、第2のエッティング処理により第2の導電層428b~433bを形成する。一方、第1の導電層417a~422aは、ほとんどエッティングされず、第2の形状の導電層428~433を形成する。

【0076】

次いで、レジストからなるマスクを除去せずに、図6（B）に示すように、第2のドーピング処理を行なう。この場合、第1のドーピング処理よりもドーズ量

を下げる、 $70 \sim 120 \text{ keV}$ の高い加速電圧で、n型を付与する不純物元素を導入する。本実施例ではドーザ量を $1.5 \times 10^{14} / \text{cm}^2$ とし、加速電圧を 90 keV として行なった。第2のドーピング処理は第2の形状の導電層428～433をマスクとして用い、第2の導電層428b～433bの下方における半導体層にも不純物元素が導入され、新たに第2の高濃度不純物領域423a～427aおよび低濃度不純物領域423b～427bが形成される。

【0077】

次いで、レジストからなるマスクを除去した後、新たにレジストからなるマスク434aおよび434bを形成して、図6(C)に示すように、第3のエッチング処理を行なう。エッティング用ガスに SF_6 および Cl_2 とを用い、ガス流量比を $50/10 (\text{sccm})$ とし、 1.3 Pa の圧力でコイル型の電極に 500 W のRF(13.56 MHz)電力を投入してプラズマを生成し、約30秒のエッティング処理を行なう。基板側(資料ステージ)には 10 W のRF(13.56 MHz)電力を投入し、実質的には不の自己バイアス電圧を印加する。こうして、前記大3のエッティング処理により、pチャネル型TFTおよび画素部のTFT(画素TFT)のTaN膜をエッティングして、第3の形状の導電層435～438を形成する。

【0078】

次いで、レジストからなるマスクを除去した後、第2の形状の導電層428、430および第2の形状の導電層435～438をマスクとして用い、ゲート絶縁膜416を選択的に除去して絶縁層439～444を形成する。(図7(A))

【0079】

次いで、新たにレジストからなるマスク445a～445cを形成して第3のドーピング処理を行なう。この第3のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記一導電型とは逆の導電型を付与する不純物元素が添加された不純物領域446、447を形成する。第2の導電層435a、438aを不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域を形成する。本実施例では、不純物領域446、

447はジボラン(B_2H_6)を用いたイオンドープ法で形成する。(図7(B))この第3のドーピング処理の際には、nチャネル型TFTを形成する半導体層はレジストからなるマスク445a～445cで覆われている。第1のドーピング処理及び第2のドーピング処理によって、不純物領域446、447にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度を $2 \times 10^{20} \sim 2 \times 10^{21} / cm^3$ となるようにドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。本実施例では、pチャネル型TFTの活性層となる半導体層の一部が露呈しているため、不純物元素(ボロン)を添加しやすい利点を有している。

【0080】

以上までの工程で、それぞれの半導体層に不純物領域が形成される。

【0081】

次いで、レジストからなるマスク445a～445cを除去して第1の層間絶縁膜461を形成する。この第1の層間絶縁膜461としては、プラズマCVD法またはスパッタ法を用い、厚さを100～200nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚150nmの酸化窒化珪素膜を形成した。もちろん、第1の層間絶縁膜461は酸化窒化珪素膜に限定されるものではなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0082】

次いで、図7(C)に示すように、加熱処理を行なって、半導体層の結晶性の回復、それぞれの半導体層に添加された不純物元素の活性化を行なう。この加熱処理はファーネスアニール炉を用いる熱アニール法、RTA法、レーザアニール法等で行なう。熱アニール法としては、酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700°C、代表的には500～550°Cで行えばよい。レーザアニール法としては、YAGレーザの第2高調波等を用いることができる。本実施例では550°C、4時間の加熱処理で活性化処理を行なう。

【0083】

また、第1の層間絶縁膜を形成する前に加熱処理を行なっても良い。ただし、用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜（珪素を主成分とする絶縁膜、例えば窒化珪素膜）を形成した後で加熱処理を行なうことが好ましい。

【0084】

そして、加熱処理（300～550℃で1～12時間の熱処理）を行なうと水素化を行なうことができる。この工程は第1の層間絶縁膜461に含まれる水素により半導体層のダングリングボンドを終端する工程である。第1の層間絶縁膜の存在に関係なく半導体層を水素化することができる。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）や、3～100%の水素を含む雰囲気中で300～450℃で1～12時間の加熱処理を行なっても良い。

【0085】

次いで、第1の層間絶縁膜461上に無機絶縁膜材料または有機絶縁物材料から成る第2の層間絶縁膜462を形成する。本実施例では、膜厚1.6μmのアクリル樹脂膜を形成したが、粘度が10～1000cp、好ましくは40～200cpのものを用い、表面に凸凹が形成されるものを用いた。

【0086】

本実施例では、鏡面反射を防ぐため、表面に凸凹が形成される第2の層間絶縁膜を形成することによって画素電極の表面に凸凹を形成した。また、画素電極の表面に凹凸を持たせて光散乱性を図るため、画素電極の下方の領域に凸部を形成してもよい。その場合、凸部の形成は、TFTの形成と同じフォトマスクで行なうことができるため、工程数の増加なく形成することができる。なお、この凸部は配線及びTFT部以外の画素部領域の基板上に適宜設ければよい。こうして、凸部を覆う絶縁膜の表面に形成された凸凹に沿って画素電極の表面に凸凹が形成される。

【0087】

また、第2の層間絶縁膜462として表面が平坦化する膜を用いてもよい。そ

の場合は、画素電極を形成した後、公知のサンドブラスト法やエッチング法等の工程を追加して表面を凹凸化させて、鏡面反射を防ぎ、反射光を散乱させることによって白色度を増加させることが好ましい。

【0088】

そして、駆動回路506において、各不純物領域とそれぞれ電気的に接続する配線463～467を形成する。なお、これらの配線は、膜厚50nmのTi膜と、膜厚500nmの合金膜（AlとTiとの合金膜）との積層膜をパターニングして形成する。

【0089】

また、画素部507においては、画素電極470、ゲート配線469、接続電極468を形成する。（図8）この接続電極468によりソース配線（443bと449の積層）は、画素TFTと電気的な接続が形成される。また、ゲート配線469は、画素TFTのゲート電極と電気的な接続が形成される。また、画素電極470は、画素TFTのドレイン領域442と電気的な接続が形成され、さらに保持容量を形成する一方の電極として機能する半導体層458と電気的な接続が形成される。また、画素電極470としては、AlまたはAgを主成分とする膜、またはそれらの積層膜等の反射性の優れた材料を用いることが望ましい。

【0090】

以上の様にして、nチャネル型TFT501とpチャネル型TFT502からなるCMOS回路、及びnチャネル型TFT503を有する駆動回路506と、画素TFT504、保持容量505とを有する画素部507を同一基板上に形成することができる。こうして、アクティブマトリクス基板が完成する。

【0091】

駆動回路506のnチャネル型TFT501はチャネル形成領域423c、ゲート電極の一部を構成する第1の導電層428aと重なる低濃度不純物領域423b（GOLD領域）、とソース領域またはドレイン領域として機能する高濃度不純物領域423aを有している。このnチャネル型TFT501と電極466で接続してCMOS回路を形成するpチャネル型TFT502にはチャネル形成領域446d、ゲート電極の外側に形成される不純物領域446b、446c、

ソース領域またはドレイン領域として機能する高濃度不純物領域446aを有している。また、nチャネル型TFT503にはチャネル形成領域425c、ゲート電極の一部を構成する第1の導電層430aと重なる低濃度不純物領域425b(GOLD領域)、とソース領域またはドレイン領域として機能する高濃度不純物領域425aを有している。

【0092】

画素部の画素TFT504にはチャネル形成領域426c、ゲート電極の外側に形成される低濃度不純物領域426b(LDD領域)とソース領域またはドレイン領域として機能する高濃度不純物領域426aを有している。また、保持容量505の一方の電極として機能する半導体層447a、447bには、それぞれp型を付与する不純物元素が添加されている。保持容量505は、絶縁膜444を誘電体として、電極(438aと438bの積層)と、半導体層447a～447cとで形成している。

【0093】

また、本実施例の画素構造は、ブラックマトリクスを用いることなく、画素電極間の隙間が遮光されるように、画素電極の端部をソース配線と重なるように配置形成する。

【0094】

また、本実施例で作製するアクティブマトリクス基板の画素部の上面図を図9に示す。なお、図5～図8に対応する部分には同じ符号を用いている。図8中の鎖線A-A'は図9中の鎖線A-A'で切断した断面図に対応している。また、図8中の鎖線B-B'は図9中の鎖線B-B'で切断した断面図に対応している

【0095】

なお、本実施例は実施例1乃至4と自由に組み合わせることが可能である。

【0096】

[実施例6]

本実施例では、実施例5で作製したアクティブマトリクス基板から、反射型液晶表示装置を作製する工程を以下に説明する。説明には図10を用いる。

【0097】

まず、実施例5に従い、図8の状態のアクティブマトリクス基板を得た後、図8のアクティブマトリクス基板上、少なくとも画素電極470上に配向膜567を形成しラビング処理を行なう。なお、本実施例では配向膜567を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターニングすることによって基板間隔を保持するための柱状のスペーサ572を所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0098】

次いで、対向基板569を用意する。次いで、対向基板569上に着色層570、571、平坦化膜573を形成する。赤色の着色層570と青色の着色層572とを重ねて、遮光部を形成する。また、赤色の着色層と緑色の着色層とを一部重ねて、遮光部を形成してもよい。

【0099】

本実施例では、実施例5に示す基板を用いている。従って、実施例5の画素部の上面図を示す図9では、少なくともゲート配線469と画素電極470の間隙と、ゲート配線469と接続電極468の間隙と、接続電極468と画素電極470の間隙を遮光する必要がある。本実施例では、それらの遮光すべき位置に着色層の積層からなる遮光部が重なるように各着色層を配置して、対向基板を貼り合わせた。

【0100】

このように、ブラックマスク等の遮光層を形成することなく、各画素間の隙間を着色層の積層からなる遮光部で遮光することによって工程数の低減を可能とした。

【0101】

次いで、平坦化膜573上に透明導電膜からなる対向電極576を少なくとも画素部に形成し、対向基板の全面に配向膜574を形成し、ラビング処理を施した。

【0102】

そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板

とをシール材568で貼り合わせる。シール材568にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料575を注入し、封止剤（図示せず）によって完全に封止する。液晶材料575には公知の液晶材料を用いれば良い。このようにして図10に示す反射型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、対向基板のみに偏光板（図示しない）を貼りつけた。そして、公知の技術を用いてFPCを貼りつけた。

【0103】

以上のようにして作製される液晶表示パネルは各種電子機器の表示部として用いることができる。

【0104】

なお、本実施例は実施例1乃至5と自由に組み合わせることが可能である。

【0105】

[実施例7]

本実施例では、実施例5で作製したアクティブマトリクス基板から、実施例6とは異なるアクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図11を用いる。

【0106】

まず、実施例5に従い、図8の状態のアクティブマトリクス基板を得た後、図8のアクティブマトリクス基板上に配向膜1067を形成しラビング処理を行なう。なお、本実施例では配向膜1067を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターニングすることによって基板間隔を保持するための柱状のスペーサを所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0107】

次いで、対向基板1068を用意する。この対向基板には、着色層1074、遮光層1075が各画素に対応して配置されたカラーフィルタが設けられている。また、駆動回路の部分にも遮光層1077を設けた。このカラーフィルタと遮

光層1077とを覆う平坦化膜1076を設けた。次いで、平坦化膜1076上に透明導電膜からなる対向電極1069を画素部に形成し、対向基板の全面に配向膜1070を形成し、ラビング処理を施した。

【0108】

そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材1071で貼り合わせる。シール材1071にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料1073を注入し、封止剤(図示せず)によって完全に封止する。液晶材料1073には公知の液晶材料を用いれば良い。このようにして図11に示すアクティブマトリクス型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、公知の技術を用いて偏光板等を適宜設けた。そして、公知の技術を用いてFPCを貼りつけた。

【0109】

以上のようにして作製される液晶表示パネルは各種電子機器の表示部として用いることができる。

【0110】

なお、本実施例は実施例1乃至5と自由に組み合わせることが可能である。

【0111】

[実施例8]

本実施例では、実施例5で作製したアクティブマトリクス基板とはTFT構造が異なる例を挙げ、本発明を用いて発光装置を作製した例について説明する。本明細書において、発光装置とは、基板上に形成された発光素子を該基板とカバー材の間に封入した表示用パネルおよび該表示用パネルにICを実装した表示用モジュールを総称したものである。なお、発光素子は、電場を加えることで発生するルミネッセンス(Electro Luminescence)が得られる有機化合物を含む層(発光層)と陽極層と、陰極層とを有する。また、有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)があり、これらのうちどちらか、あるいは

は両方の発光を含む。

【0112】

図12に示すアクティブマトリクス基板は、nチャネル型TFT601とpチャネル型TFT602を有する駆動回路605と、スイッチングTFT603と電流制御TFT604を有する画素部606とが形成されている。

【0113】

これらのTFTは基板610に下地膜611を形成したのち、前記下地膜上の半導体層にチャネル形成領域やソース領域、ドレイン領域及びLDD領域などを設けて形成する。半導体層は実施例1～実施例6と同様に本発明を用いて形成する。

【0114】

ゲート絶縁膜612上に形成するゲート電極628～633は第1の導電層および第2の導電層からなる積層構造となっているが、端部がテーパー形状となるように形成することに特徴がある。この形状は少なくとも3回のエッティングによって形成され、それぞれのエッティングによって形成されたゲート電極の形状を利用して、半導体層に不純物を導入している。

【0115】

具体的には、第1のエッティング処理によって端部がテーパー形状となった第1の形状のゲート電極をマスクとし、自己整合的に第1のドーピング処理を行なって、高濃度不純物領域を形成する。次に、第2の導電層を選択的にエッティングして、第2の形状のゲート電極を形成する。前記第2の形状のゲート電極における第1の導電層のテーパー形状の部分を利用して、第2のドーピング処理を行ない、低濃度不純物領域を形成する。そして、第1の導電層のテーパー部を部分的にエッティングして、第3の形状のゲート電極を形成する。このとき、同時に絶縁膜もエッティングされて、絶縁膜621が形成される。続いて、nチャネル型TFTおよび画素部にマスクを設け、第3のドーピング処理を行なう。この第3のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記一導電型とは逆の導電型を付与する不純物元素が添加された不純物領域を形成する。

【0116】

第2の形状のゲート電極の第1の導電層のテーパー形状の部分を利用して形成されるLDD領域はnチャネル型TFTの信頼性を向上させるために設け、これによりホットキャリア効果によるオン電流の劣化を防止する。このLDD領域はイオンドープ法により当該不純物元素のイオンを電界で加速して、ゲート電極の端部及び該端部の近傍におけるゲート絶縁膜を通して半導体膜に添加する。

【0117】

このようにして、nチャネル型TFT 601にはチャネル形成領域671の外側にLDD領域634、ソース領域またはドレイン領域639が形成され、LDD領域634の一部634bはゲート電極628と重なるように形成されている。pチャネル型TFT 602も同様な構成とし、チャネル形成領域657、LDD領域656、657、ソース領域またはドレイン領域655から成っている。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0118】

画素部606において、nチャネル型TFTで形成されるスイッチングTFT 603はオフ電流の低減を目的としてマルチゲート構造で形成され、チャネル形成領域674の外側にLDD領域637、ソース領域またはドレイン領域642が設けられている。また、pチャネル型TFTで形成される電流制御TFT 604は、チャネル形成領域672の外側にLDD領域656、657、ソース領域またはドレイン領域655が設けられている。なお、本実施例では電流制御TFT 604をシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0119】

層間絶縁膜は酸化珪素、窒化珪素、または酸化窒化珪素などの無機材料から成り、50～500nmの厚さの第1の層間絶縁膜635と、ポリイミド、アクリル、ポリイミドアミド、BCB（ベンゾシクロブテン）などの有機絶縁物材料から成る第2の層間絶縁膜636とで形成する。このように、第2の層間絶縁膜を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減することができ

る。しかし、吸湿性があり保護膜としては適さないので、第1の層間絶縁膜635と組み合わせて形成することが好ましい。

【0120】

その後、所定のパターンのレジストマスクを形成し、それぞれの半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成する。コンタクトホールの形成はドライエッティング法により行なう。この場合、エッティングガスに CF_4 、 O_2 、 He の混合ガスを用い有機樹脂材料から成る第2の層間絶縁膜636をまずエッティングし、その後、続いてエッティングガスを CF_4 、 O_2 として第1の層間絶縁膜635をエッティングする。

【0121】

そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、レジストマスクパターンを形成し、エッティングによって配線701～707を形成する。このようにして、アクティブマトリクス基板を形成することができる。

【0122】

図12のアクティブマトリクス基板を用いて、図13に示す発光装置を作製する。ここで、配線706は電流制御TFTのソース配線（電流供給線に相当する）であり、707は電流制御TFTの画素電極710上に重ねることで画素電極710と電気的に接続する電極である。

【0123】

なお、710は、透明導電膜からなる画素電極（発光素子の陽極）である。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。画素電極710は、上記配線を形成する前に平坦な層間絶縁膜711上に形成する。本実施例においては、樹脂からなる平坦化膜711を用いてTFTによる段差を平坦化することは非常に重要である。後に形成される発光層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、発光層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0124】

配線701～707を形成後、図13に示すようにバンク712を形成する。バンク712は100～400nmの珪素を含む絶縁膜もしくは有機樹脂膜をパターニングして形成すれば良い。

【0125】

なお、バンク712は絶縁膜であるため、成膜時における素子の静電破壊には注意が必要である。本実施例ではバンク712の材料となる絶縁膜中にカーボン粒子や金属粒子を添加して抵抗率を下げ、静電気の発生を抑制する。この際、抵抗率は $1 \times 10^6 \sim 1 \times 10^{12} \Omega \text{m}$ （好ましくは $1 \times 10^8 \sim 1 \times 10^{10} \Omega \text{m}$ ）となるようにカーボン粒子や金属粒子の添加量を調節すれば良い。

【0126】

画素電極710の上には発光層713が形成される。なお、図13では一画素しか図示していないが、本実施例ではR（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けている。また、本実施例では蒸着法により低分子系有機発光材料を形成している。具体的には、正孔注入層として20nm厚の銅フタロシアニン（CuPc）膜を設け、その上に発光層として70nm厚のトリス-8-キノリノラトアルミニウム錯体（Alq₃）膜を設けた積層構造としている。Alq₃にキナクリドン、ペリレンもしくはDCM1といった蛍光色素を添加することで発光色を制御することができる。

【0127】

但し、以上の例は発光層として用いることのできる有機発光材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせて発光層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。例えば、本実施例では低分子系有機発光材料を発光層として用いる例を示したが、高分子系有機発光材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機発光材料や無機材料は公知の材料を用いることができる。

【0128】

次に、発光層713の上には導電膜からなる陰極714が設けられる。本実施

例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知のMgAg膜（マグネシウムと銀との合金膜）を用いても良い。陰極材料としては、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0129】

この陰極714まで形成された時点では発光素子715が完成する。なお、ここでいう発光素子715は、画素電極（陽極）710、発光層713及び陰極714で形成されたダイオードを指す。

【0130】

発光素子715を完全に覆うようにしてパッシベーション膜716を設けることは有効である。パッシベーション膜716としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

【0131】

この際、カバーレッジの良い膜をパッシベーション膜として用いることが好ましく、炭素膜、特にDLC（ダイヤモンドライクカーボン）膜を用いることは有効である。DLC膜は室温から100°C以下の温度範囲で成膜可能であるため、耐熱性の低い発光層713の上方にも容易に成膜することができる。また、DLC膜は酸素に対するブロッキング効果が高く、発光層713の酸化を抑制することができる。そのため、この後に続く封止工程を行う間に発光層713が酸化するといった問題を防止できる。

【0132】

さらに、パッシベーション膜716上に封止材717を設け、カバー材718を貼り合わせる。封止材717としては紫外線硬化樹脂を用いれば良く、内部に吸湿効果を有する物質もしくは酸化防止効果を有する物質を設けることは有効である。また、本実施例においてカバー材718はガラス基板や石英基板やプラスチック基板（プラスチックフィルムも含む）の両面に炭素膜（好ましくはダイヤモンドライクカーボン膜）を形成したものを用いる。

【0133】

こうして図13に示すような構造の発光装置が完成する。なお、バンク712を形成した後、パッシベーション膜716を形成するまでの工程をマルチチャンバー方式（またはインライン方式）の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。また、さらに発展させてカバー材718を貼り合わせる工程までを大気解放せずに連続的に処理することも可能である。

【0134】

こうして、プラスチック基板を母体とする絶縁体501上にnチャネル型TFT601、602、スイッチングTFT（nチャネル型TFT）603および電流制御TFT（nチャネル型TFT）604が形成される。ここまで製造工程で必要としたマスク数は、一般的なアクティブマトリクス型発光装置よりも少ない。

【0135】

即ち、TFTの製造工程が大幅に簡略化されており、歩留まりの向上および製造コストの低減が実現できる。

【0136】

さらに、図13を用いて説明したように、ゲート電極に絶縁膜を介して重なる不純物領域を設けることによりホットキャリア効果に起因する劣化に強いnチャネル型TFTを形成することができる。そのため、信頼性の高い発光装置を実現できる。

【0137】

また、本実施例では画素部と駆動回路の構成のみ示しているが、本実施例の製造工程に従えば、その他にも信号分割回路、D/Aコンバータ、オペアンプ、γ補正回路などの論理回路を同一の絶縁体上に形成可能であり、さらにはメモリやマイクロプロセッサをも形成しうる。

【0138】

さらに、発光素子を保護するための封止（または封入）工程まで行った後の本実施例の発光装置について図14を用いて説明する。なお、必要に応じて図13で用いた符号を引用する。

【0139】

図14（A）は、発光素子の封止までを行った状態を示す上面図、図14（B）は図14（A）をC-C'で切断した断面図である。点線で示された801はソース側駆動回路、806は画素部、807はゲート側駆動回路である。また、901はカバー材、902は第1シール材、903は第2シール材であり、第1シール材902で囲まれた内側には封止材907が設けられる。

【0140】

なお、904はソース側駆動回路801及びゲート側駆動回路807に入力される信号を伝送するための配線であり、外部入力端子となるFPC（フレキシブルプリントサーキット）905からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤（PWB）が取り付けられていても良い。本明細書における発光装置には、発光装置本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。

【0141】

次に、断面構造について図14（B）を用いて説明する。基板700の上方には画素部806、ゲート側駆動回路807が形成されており、画素部806は電流制御TFT604とそのドレインに電気的に接続された画素電極710を含む複数の画素により形成される。また、ゲート側駆動回路807はnチャネル型TFT601とpチャネル型TFT602とを組み合わせたCMOS回路（図13参照）を用いて形成される。

【0142】

画素電極710は発光素子の陽極として機能する。また、画素電極710の両端にはバンク712が形成され、画素電極710上には発光層713および発光素子の陰極714が形成される。

【0143】

陰極714は全画素に共通の配線としても機能し、接続配線904を経由してFPC905に電気的に接続されている。さらに、画素部806及びゲート側駆動回路807に含まれる素子は全て陰極714およびパッシベーション膜567で覆われている。

【0144】

また、第1シール材902によりカバー材901が貼り合わされている。なお、カバー材901と発光素子との間隔を確保するために樹脂膜からなるスペーサを設けても良い。そして、第1シール材902の内側には封止材907が充填されている。なお、第1シール材902、封止材907としてはエポキシ系樹脂を用いるのが好ましい。また、第1シール材902はできるだけ水分や酸素を透過しない材料であることが望ましい。さらに、封止材907の内部に吸湿効果をもつ物質や酸化防止効果をもつ物質を含有させても良い。

【0145】

発光素子を覆うようにして設けられた封止材907はカバー材901を接着するための接着剤としても機能する。また、本実施例ではカバー材901を構成するプラスチック基板901aの材料としてFRP (Fiberglass-Reinforced Plastics)、PVF (ポリビニルフロライド)、マイラー、ポリエステルまたはアクリルを用いることができる。

【0146】

また、封止材907を用いてカバー材901を接着した後、封止材907の側面（露呈面）を覆うように第2シール材903を設ける。第2シール材903は第1シール材902と同じ材料を用いることができる。

【0147】

以上のような構造で発光素子を封止材907に封入することにより、発光素子を外部から完全に遮断することができ、外部から水分や酸素等の発光層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い発光装置が得られる。

【0148】

なお、本実施例は実施例1乃至6と自由に組み合わせることが可能である。

【0149】

[実施例9]

本実施例では、実施例8とは異なる画素構造を有した発光装置について説明する。説明には図15を用いる。

【0150】

図15では電流制御用TFT4501として図12のnチャネル型TFT601と同一構造のTFTを用いる。勿論、電流制御用TFT4501のゲート電極はスイッチング用TFT4402のドレイン配線に電気的に接続されている。また、電流制御用TFT4501のドレイン配線は画素電極4504に電気的に接続されている。

【0151】

本実施例では、導電膜からなる画素電極4504が発光素子の陰極として機能する。具体的には、アルミニウムとリチウムとの合金膜を用いるが、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0152】

画素電極4504の上には発光層4505が形成される。なお、図15では一画素しか図示していないが、本実施例ではG（緑）に対応した発光層を蒸着法及び塗布法（好ましくはスピンドルコーティング法）により形成している。具体的には、電子注入層として20nm厚のフッ化リチウム（LiF）膜を設け、その上に発光層として70nm厚のPPV（ポリパラフェニレンビニレン）膜を設けた積層構造としている。

【0153】

次に、発光層4505の上には透明導電膜からなる陽極4506が設けられる。本実施例の場合、透明導電膜として酸化インジウムと酸化スズとの化合物もしくは酸化インジウムと酸化亜鉛との化合物からなる導電膜を用いる。

【0154】

この陽極4506まで形成された時点で発光素子4507が完成する。なお、ここでいう発光素子4507は、画素電極（陰極）4504、発光層4505及び陽極4506で形成されたダイオードを指す。

【0155】

発光素子4507を完全に覆うようにしてパッシベーション膜4508を設けることは有効である。パッシベーション膜4508としては、炭素膜、窒化珪素

膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

【0156】

さらに、パッシベーション膜4508上に封止材4509を設け、カバー材4510を貼り合わせる。封止材4509としては紫外線硬化樹脂を用いれば良く、内部に吸湿効果を有する物質もしくは酸化防止効果を有する物質を設けることは有効である。また、本実施例においてカバー材4510はガラス基板や石英基板やプラスチック基板（プラスチックフィルムも含む）の両面に炭素膜（好ましくはダイヤモンドライクカーボン膜）を形成したものを用いる。

【0157】

なお、本実施例は実施例1乃至6と自由に組み合わせることが可能である。

【0158】

[実施例10]

本実施例では、実施例5および実施例8で作製したアクティブマトリクス基板とはTFT構造が異なる例を挙げ、本発明を用いて液晶表示装置を作製した例について説明する。

【0159】

図16（A）に示すアクティブマトリクス基板は、nチャネル型TFT503とpチャネル型TFT502を有する駆動回路506と、画素TFT504と保持容量505を有する画素部507とが形成されている。

【0160】

これらのTFTは基板510にゲート配線512～517を形成したのち、前記ゲート配線上に絶縁膜511を形成し、前記絶縁膜上の半導体層にチャネル形成領域やソース領域、ドレイン領域及びLDD領域などを設けて形成する。半導体層は実施例1～実施例6と同様に本発明を用いて形成する。

【0161】

ゲート配線512～517は、その厚さを200～400nm、好ましくは250nmの厚さで形成し、その上層に形成する被膜の被覆性（ステップカバレージ）を向上させるために、端部をテーパー形状となるように形成する。テーパー部の

角度は5～30度、好ましくは15～25度で形成する。テーパー部はドライエッティング法で形成され、エッティングガスと基板側に印加するバイアス電圧により、その角度を制御する。

【0162】

また、不純物領域は、第1乃至第3のドーピング工程によって形成する。まず、第1のドーピング工程を行なって、nチャネル型TFTのLDD (Lightly Doped Drain) 領域を形成する。ドーピングの方法はイオンドープ法若しくはイオン注入法で行けば良い。n型を付与する不純物元素（ドナー）としてリン（P）を添加し、マスクにより第1の不純物領域219～222を形成される。そして、新たにnチャネル型TFTのLDD領域を覆うマスクを形成して、第2のドーピング工程はnチャネル型TFTのソース領域及びドレイン領域を形成して行なう。

【0163】

第3のドーピング処理により、pチャネル型TFTのソース領域及びドレイン領域を形成する。ドーピングの方法はイオンドープ法やイオン注入法でp型を付与する不純物元素（アクセプタ）を添加すればよい。このとき、nチャネル型TFTを形成する半導体層にはマスクを形成するため、p型を付与する不純物元素が添加されない。本実施例では、pチャネル型TFTにおいてLDD領域を作製していないが、もちろん、作製してもよい。

【0164】

このようにして、nチャネル型TFT503にはチャネル形成領域529の外側にLDD領域530、ソース領域またはドレイン領域531が形成される。pチャネル型TFT502も同様な構成とし、チャネル形成領域527、ソース領域またはドレイン領域528から成っている。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0165】

画素部507において、nチャネル型TFTで形成される画素TFT504はオフ電流の低減を目的としてマルチゲート構造で形成され、チャネル形成領域5

32の外側にLDD領域533、ソース領域またはドレイン領域534が設けられている。

【0166】

層間絶縁膜は酸化珪素、窒化珪素、または酸化窒化珪素などの無機材料から成り、50～500nmの厚さの第1の層間絶縁膜540と、ポリイミド、アクリル、ポリイミドアミド、BCB（ベンゾシクロブテン）などの有機絶縁物材料から成る第2の層間絶縁膜541とで形成する。このように、第2の層間絶縁膜を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減することができる。しかし、吸湿性があり保護膜としては適さないので、第1の層間絶縁膜540と組み合わせて形成することが好ましい。

【0167】

その後、所定のパターンのレジストマスクを形成し、それぞれの半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成する。コンタクトホールの形成はドライエッティング法により行なう。この場合、エッティングガスにCF₄、O₂、Heの混合ガスを用い有機樹脂材料から成る第2の層間絶縁膜541をまずエッティングし、その後、続いてエッティングガスをCF₄、O₂として第1の層間絶縁膜540をエッティングする。

【0168】

そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、レジストマスクパターンを形成し、エッティングによって配線543～549を形成する。このようにして、アクティブマトリクス基板を形成することができる。

【0169】

図16(A)のアクティブマトリクス基板を用いて、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図16(B)はアクティブマトリクス基板と対向基板554とをシール材558で貼り合わせた状態を示している。最初に、図16(A)の状態のアクティブマトリクス基板上に柱状のスペーサ551、552を形成する。画素部に設けるスペーサ551は画素電極上のコンタクト部に重ねて設ける。スペーサは用いる液晶材料にも依存するが、3～10μm

の高さとする。コンタクト部では、コンタクトホールに対応した凹部が形成されるので、この部分に合わせてスペーサを形成することにより液晶の配向の乱れを防ぐことができる。その後、配向膜553を形成しラビング処理を行う。対向基板554には透明導電膜555、配向膜556を形成する。その後、アクティブマトリクス基板と対向基板とを貼り合わせ液晶を注入する。

【0170】

以上のようにして作製されるアクティブマトリクス型の液晶表示装置は各種電子装置の表示装置として用いることができる。

【0171】

なお、本実施例は実施例1乃至6のいずれか一と自由に組み合わせることが可能である。

【0172】

[実施例11]

本実施例では、実施例10で示したアクティブマトリクス基板を用いて、発光装置を作製した例について説明する。

【0173】

図17では電流制御用TFT4501として図16のnチャネル型TFT503と同一構造のTFTを用いる。勿論、電流制御用TFT4501のゲート電極はスイッチング用TFT4402のドレイン配線に電気的に接続されている。また、電流制御用TFT4501のドレイン配線は画素電極4504に電気的に接続されている。

【0174】

本実施例では、導電膜からなる画素電極4504が発光素子の陰極として機能する。具体的には、アルミニウムとリチウムとの合金膜を用いるが、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0175】

画素電極4504の上には発光層4505が形成される。なお、図17では一画素しか図示していないが、本実施例ではG（緑）に対応した発光層を蒸着法及

び塗布法（好ましくはスピンコーティング法）により形成している。具体的には、電子注入層として20nm厚のフッ化リチウム（LiF）膜を設け、その上に発光層として70nm厚のPPV（ポリパラフェニレンビニレン）膜を設けた積層構造としている。

【0176】

次に、発光層4505の上には透明導電膜からなる陽極4506が設けられる。本実施例の場合、透明導電膜として酸化インジウムと酸化スズとの化合物もしくは酸化インジウムと酸化亜鉛との化合物からなる導電膜を用いる。

【0177】

この陽極4506まで形成された時点で発光素子4507が完成する。なお、ここでいう発光素子4507は、画素電極（陰極）4504、発光層4505及び陽極4506で形成されたダイオードを指す。

【0178】

発光素子4507を完全に覆うようにしてパッシベーション膜4508を設けることは有効である。パッシベーション膜4508としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

【0179】

さらに、パッシベーション膜4508上に封止材4509を設け、カバー材4510を貼り合わせる。封止材4509としては紫外線硬化樹脂を用いれば良く、内部に吸湿効果を有する物質もしくは酸化防止効果を有する物質を設けることは有効である。また、本実施例においてカバー材4510はガラス基板や石英基板やプラスチック基板（プラスチックフィルムも含む）の両面に炭素膜（好ましくはダイヤモンドライクカーボン膜）を形成したものを用いる。

【0180】

なお、本実施例は実施例1乃至6のいずれか一と自由に組み合わせることが可能である。

【0181】

【実施例12】

本発明を適用して、本願発明を実施して形成されたCMOS回路や画素部は様々な電気光学装置（アクティブマトリクス型液晶表示装置、アクティブマトリクス型EC表示装置、アクティブマトリクス型発光装置）に用いることが出来る。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本発明を実施出来る。

【0182】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図18、図19及び図20に示す。

【0183】

図18（A）はパーソナルコンピュータであり、本体3001、画像入力部3002、表示部3003、キーボード3004等を含む。本発明を表示部3003に適用することができる。

【0184】

図18（B）はビデオカメラであり、本体3101、表示部3102、音声入力部3103、操作スイッチ3104、バッテリー3105、受像部3106等を含む。本発明を表示部3102に適用することができる。

【0185】

図18（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体3201、カメラ部3202、受像部3203、操作スイッチ3204、表示部3205等を含む。本発明は表示部3205に適用できる。

【0186】

図18（D）はゴーグル型ディスプレイであり、本体3301、表示部3302、アーム部3303等を含む。本発明は表示部3302に適用することができる。

【0187】

図18（E）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用

いるプレーヤーであり、本体3401、表示部3402、スピーカ部3403、記録媒体3404、操作スイッチ3405等を含む。なお、このプレーヤーは記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行なうことができる。本発明は表示部3402に適用することができる。

【0188】

図18(F)はデジタルカメラであり、本体3501、表示部3502、接眼部3503、操作スイッチ3504、受像部(図示しない)等を含む。本発明を表示部3502に適用することができる。

【0189】

図19(A)はフロント型プロジェクターであり、投射装置3601、スクリーン3602等を含む。本発明は投射装置3601の一部を構成する液晶表示装置3808やその他の駆動回路に適用することができる。

【0190】

図19(B)はリア型プロジェクターであり、本体3701、投射装置3702、ミラー3703、スクリーン3704等を含む。本発明は投射装置2702の一部を構成する液晶表示装置3808やその他の駆動回路に適用することができる。

【0191】

なお、図19(C)は、図19(A)及び図19(B)中における投射装置3601、3702の構造の一例を示した図である。投射装置3601、3702は、光源光学系3801、ミラー3802、3804～3806、ダイクロイックミラー3803、プリズム3807、液晶表示装置3808、位相差板3809、投射光学系3810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図19(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0192】

また、図19(D)は、図19(C)中における光源光学系3801の構造の一例を示した図である。本実施例では、光源光学系3801は、リフレクター2811、光源3812、レンズアレイ3813、3814、偏光変換素子2815、集光レンズ3816で構成される。なお、図19(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0193】

ただし、図19に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及び発光装置での適用例は図示していない。

【0194】

図20(A)は携帯電話であり、本体3901、音声出力部3902、音声入力部3903、表示部3904、操作スイッチ3905、アンテナ3906等を含む。本発明を表示部3904に適用することができる。

【0195】

図20(B)は携帯書籍(電子書籍)であり、本体4001、表示部4002、4003、記憶媒体4004、操作スイッチ4005、アンテナ4006等を含む。本発明は表示部4002、4003に適用することができる。

【0196】

図20(C)はディスプレイであり、本体4101、支持台4102、表示部4103等を含む。本発明は表示部4103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

【0197】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~9のどのような組み合わせからなる構成を用いても実現することができる。

【0198】

【発明の効果】

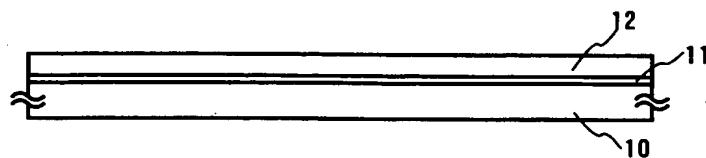
本発明を適用すると、高移動度を有するTFTの形成が可能となる。また、高精度のアクティブマトリクス型の液晶表示装置や発光装置に代表される半導体装置を作製することが可能となる。

【図面の簡単な説明】

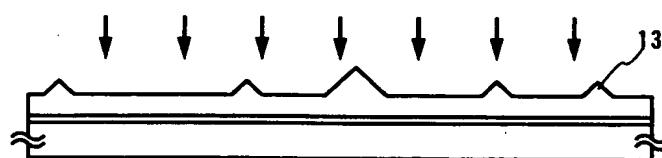
- 【図1】 本発明の概念の一例を示す図。
- 【図2】 本発明の概念の一例を示す図。
- 【図3】 本発明の概念の一例を示す図。
- 【図4】 本発明の概念の一例を示す図。
- 【図5】 画素TFT、駆動回路のTFTの作製工程の例を示す断面図。
- 【図6】 画素TFT、駆動回路のTFTの作製工程の例を示す断面図。
- 【図7】 画素TFT、駆動回路のTFTの作製工程の例を示す断面図。
- 【図8】 画素TFT、駆動回路のTFTの作製工程の例を示す断面図。
- 【図9】 画素部の画素を示す上面図。
- 【図10】 アクティブマトリクス型液晶表示装置の作製工程を示す断面図。
- 【図11】 アクティブマトリクス型液晶表示装置の作製工程を示す断面図。
- 【図12】 画素TFT、駆動回路のTFTの作製工程の例を示す断面図。
- 【図13】 発光装置の駆動回路及び画素部の断面構造図。
- 【図14】 (A) 発光装置の上面図。
(B) 発光装置の駆動回路及び画素部の断面構造図。
- 【図15】 発光装置の画素部の断面構造図。
- 【図16】 (A) アクティブマトリクス型基板の作製工程を示す断面図。
(B) アクティブマトリクス型液晶表示装置の作製工程を示す断面図。
- 【図17】 発光装置の画素部の断面構造図。
- 【図18】 半導体装置の一例を示す図。
- 【図19】 半導体装置の一例を示す図。
- 【図20】 半導体装置の一例を示す図。

【書類名】 図面
【図1】

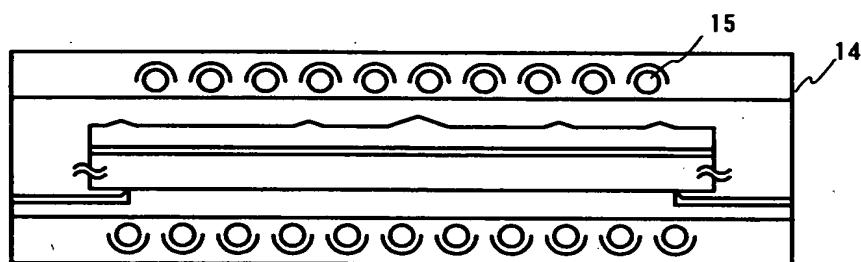
(A) 下地絶縁膜の形成／半導体膜の形成



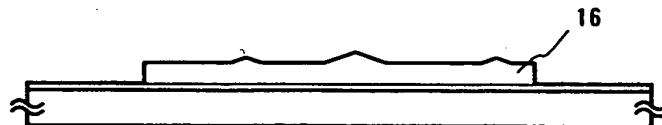
(B) レーザアニール



(C) 加熱処理

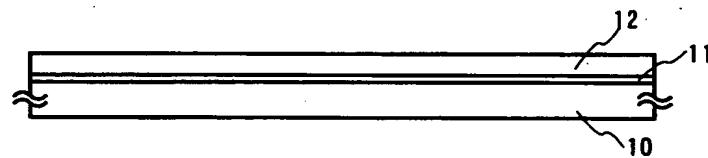


(D) 半導体層の形成

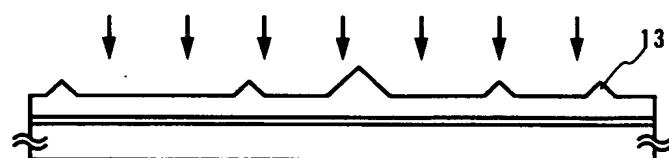


【図2】

(A) 下地絶縁膜の形成／半導体膜の形成



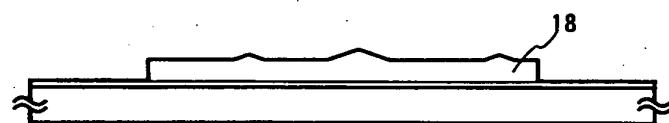
(B) レーザアニール



(C) 半導体層の形成

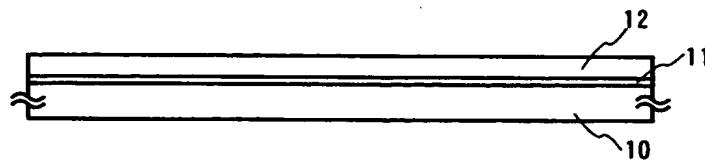


(D) 加熱処理

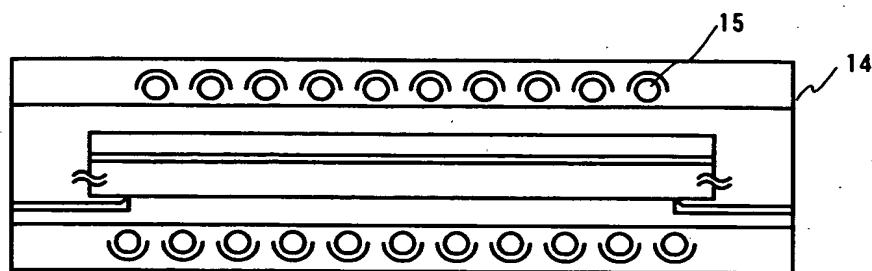


【図3】

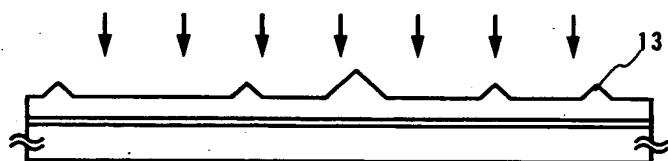
(A) 下地絶縁膜の形成／半導体膜の形成



(B) 強光による照射



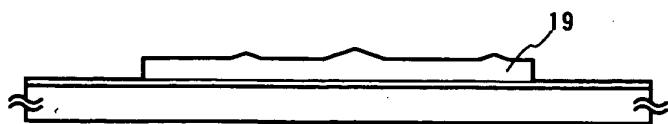
(C) レーザアニール



(D) 加熱処理

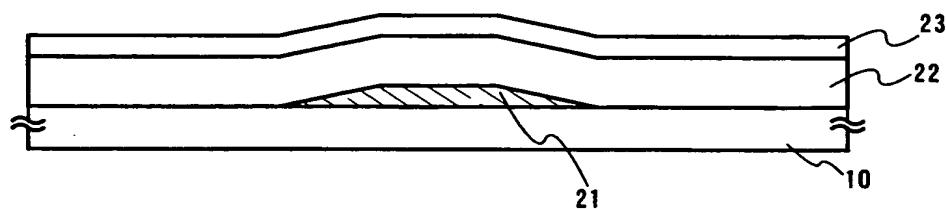


(E) 半導体層の形成

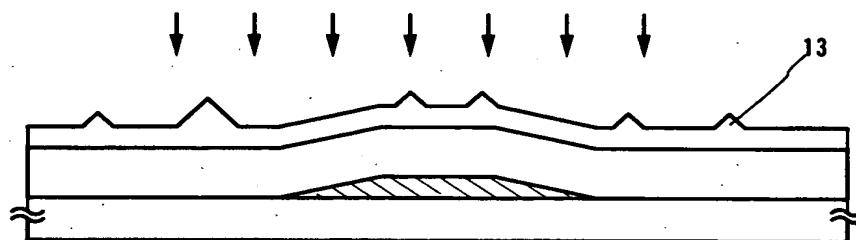


【図4】

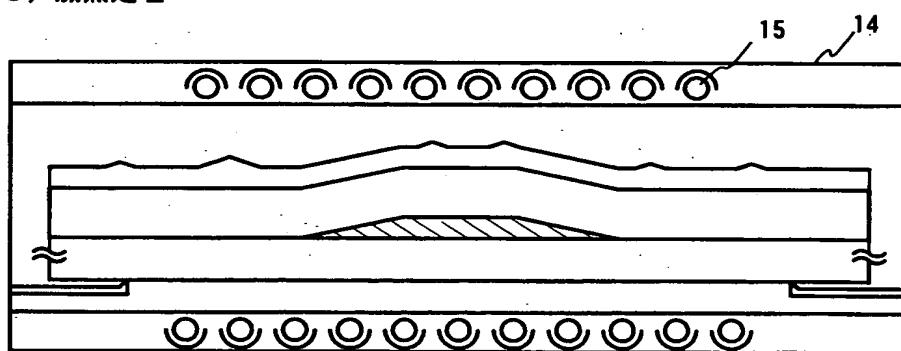
(A) 導電層の形成／絶縁膜の形成／半導体膜の形成



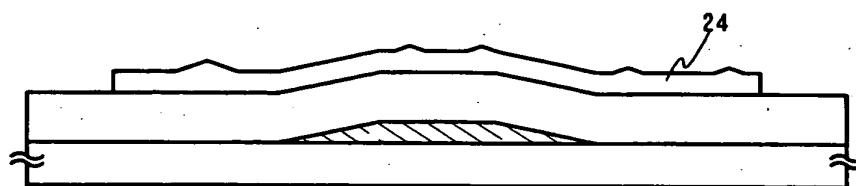
(B) レーザアニール



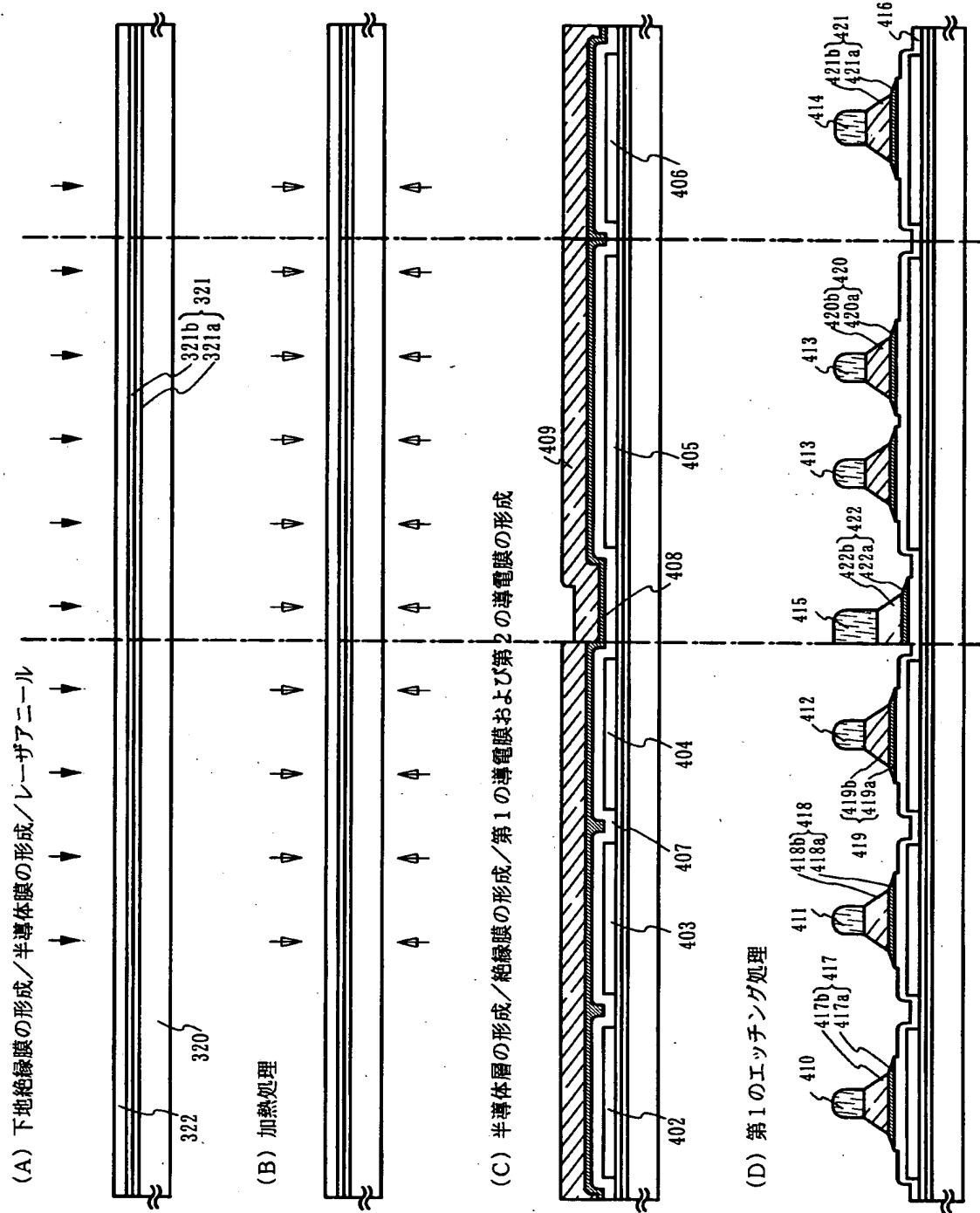
(C) 加熱処理



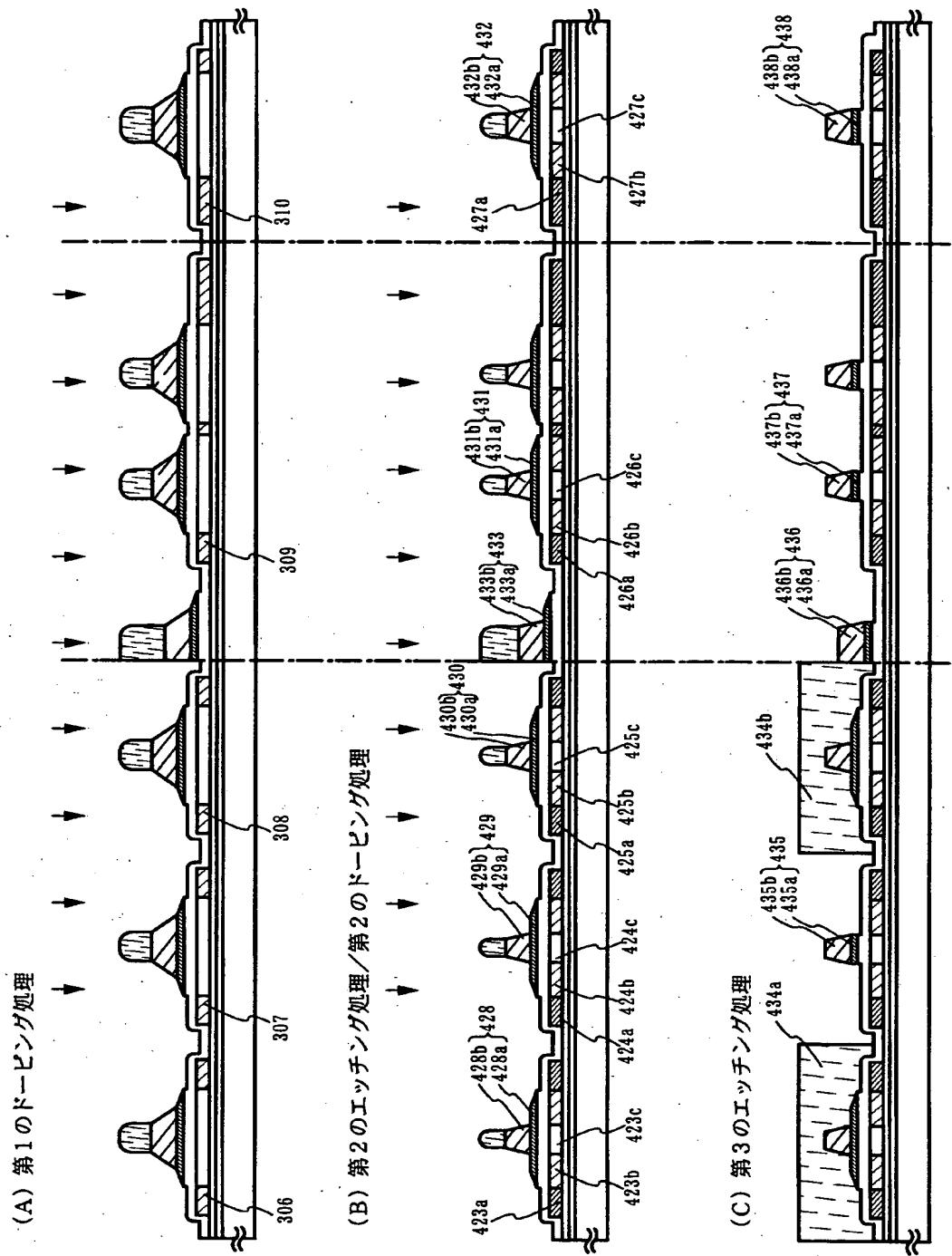
(D) 半導体層の形成



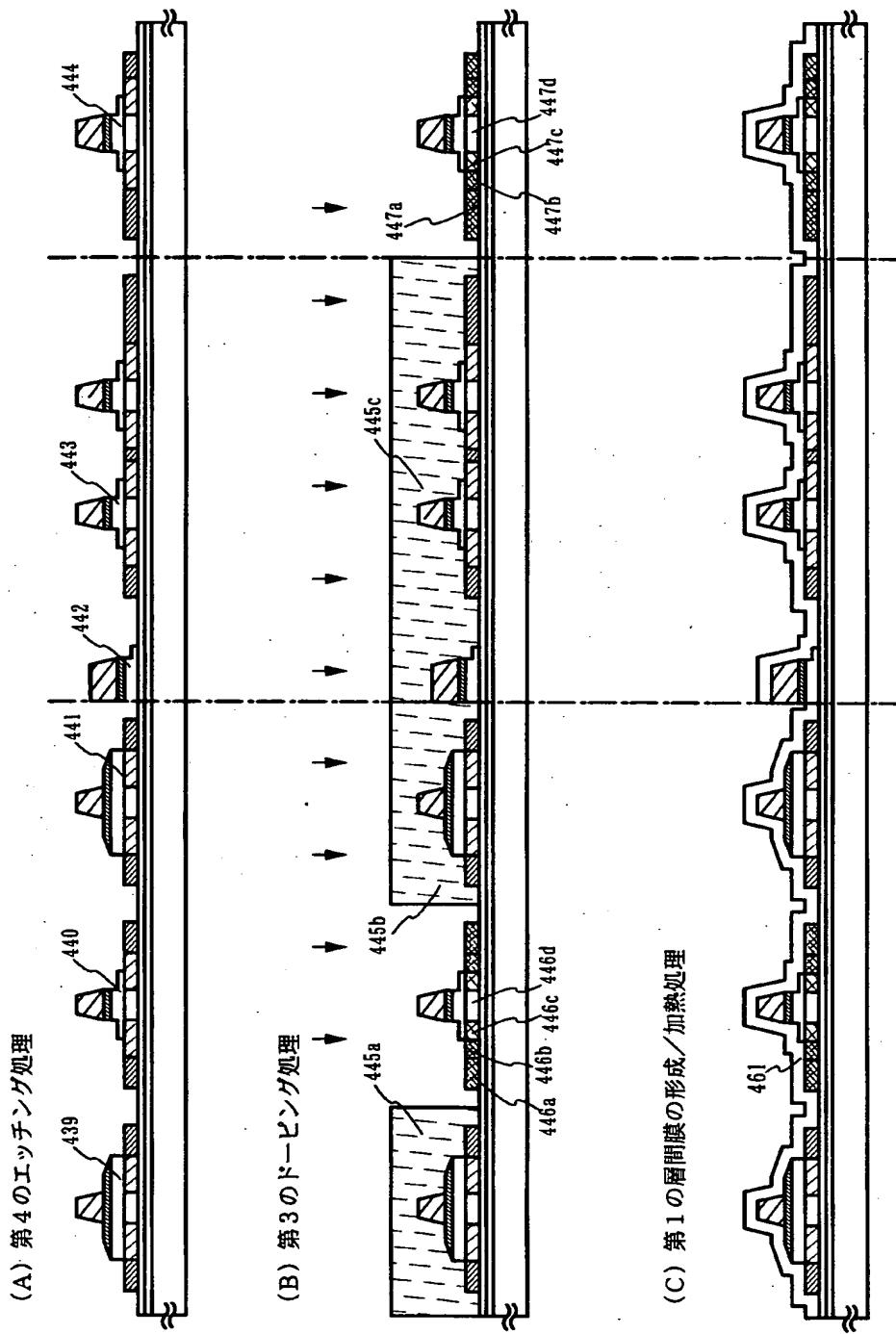
【図5】



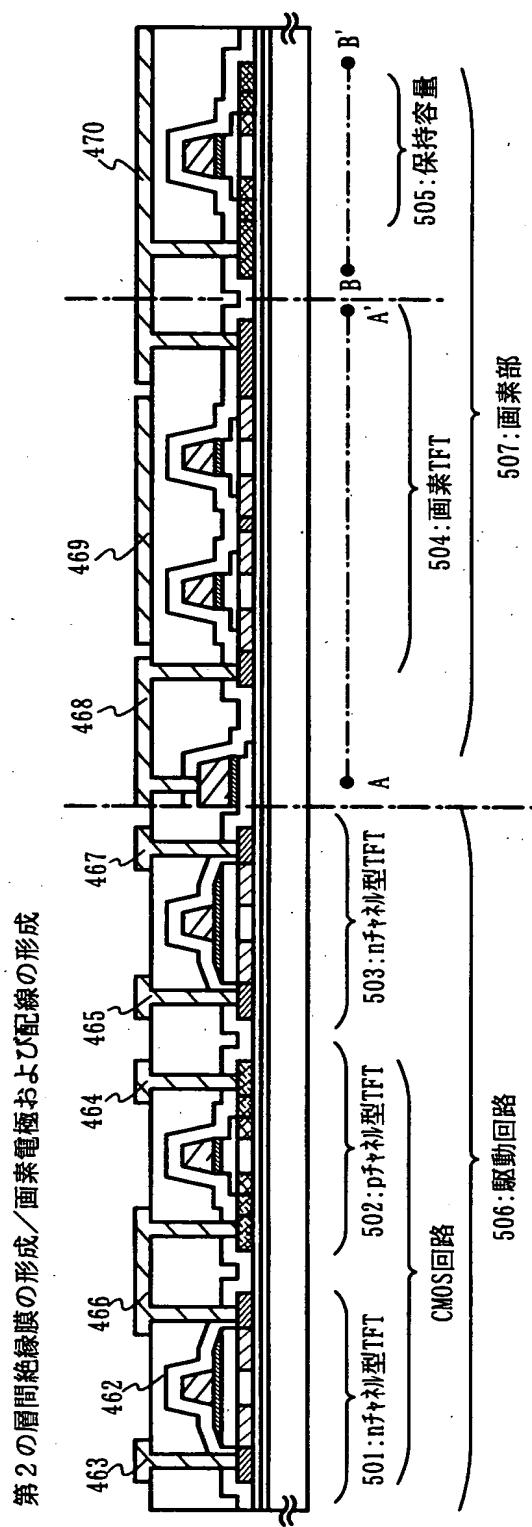
【図6】



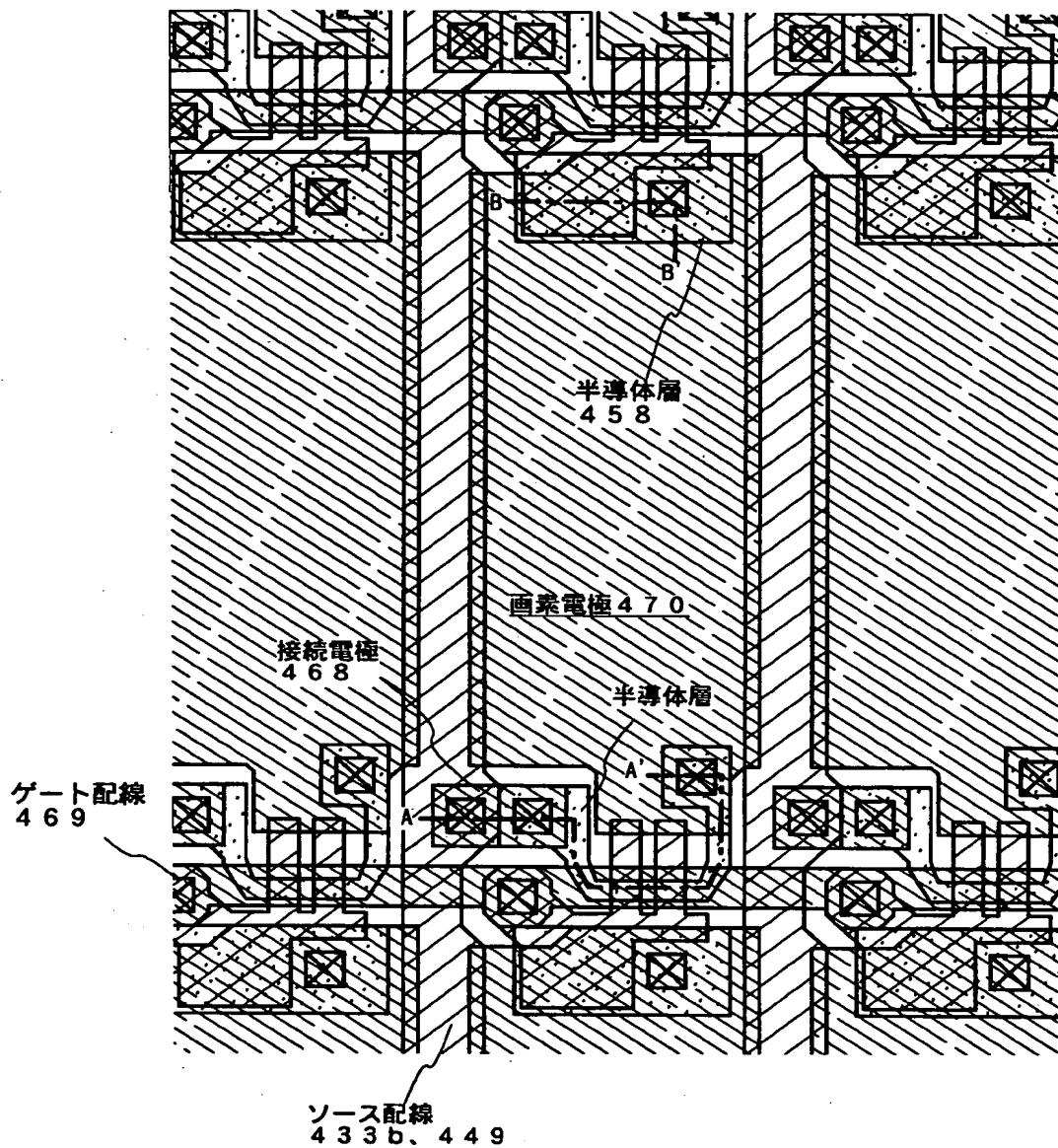
【図7】



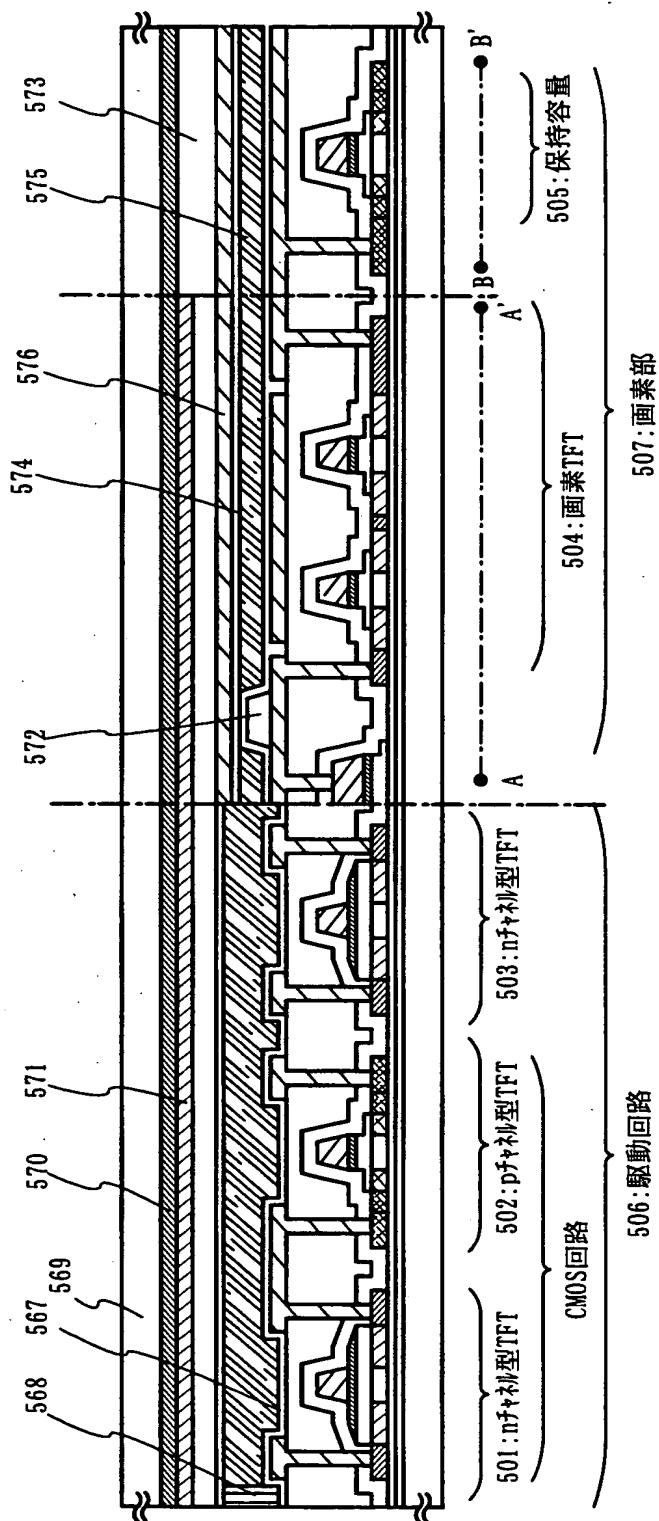
【図8】



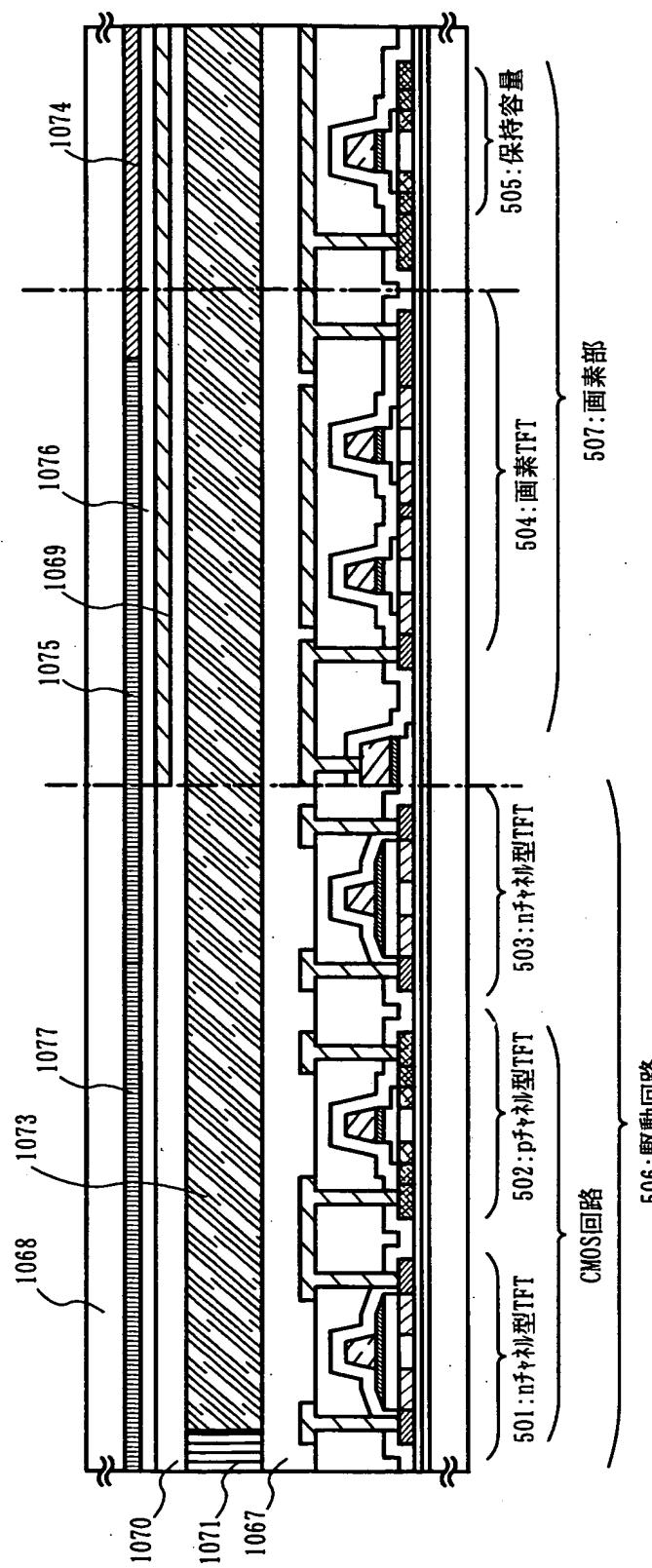
【図9】



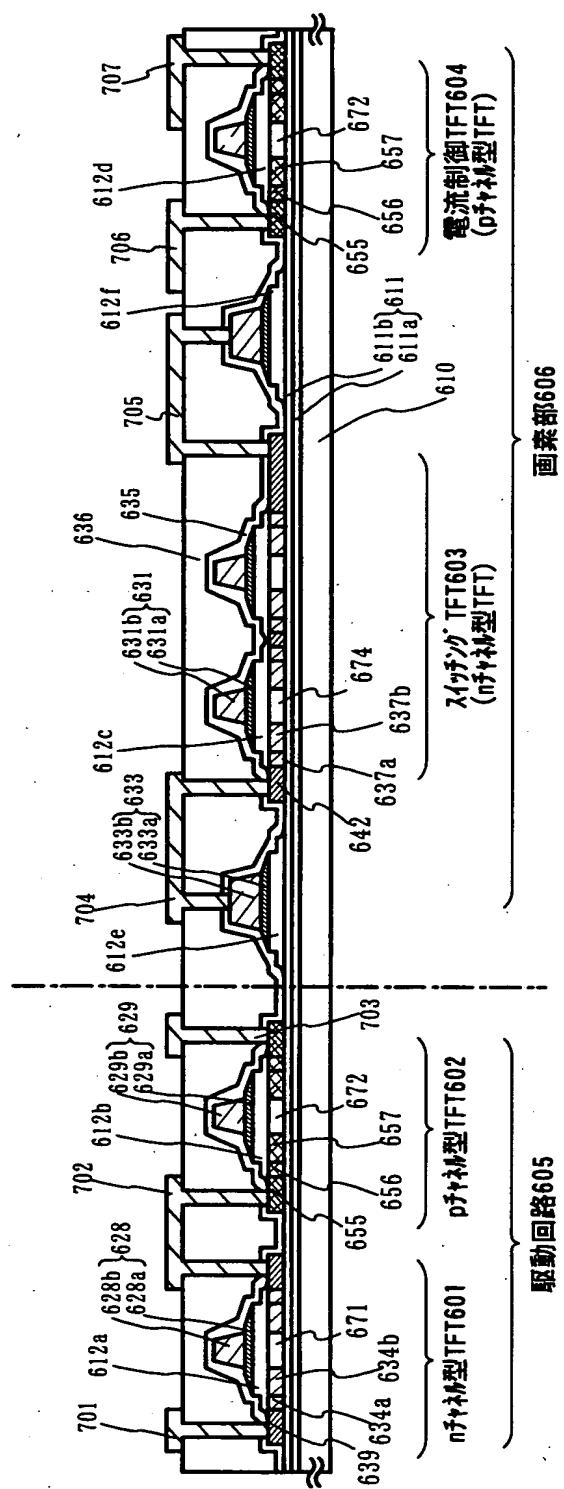
【図10】



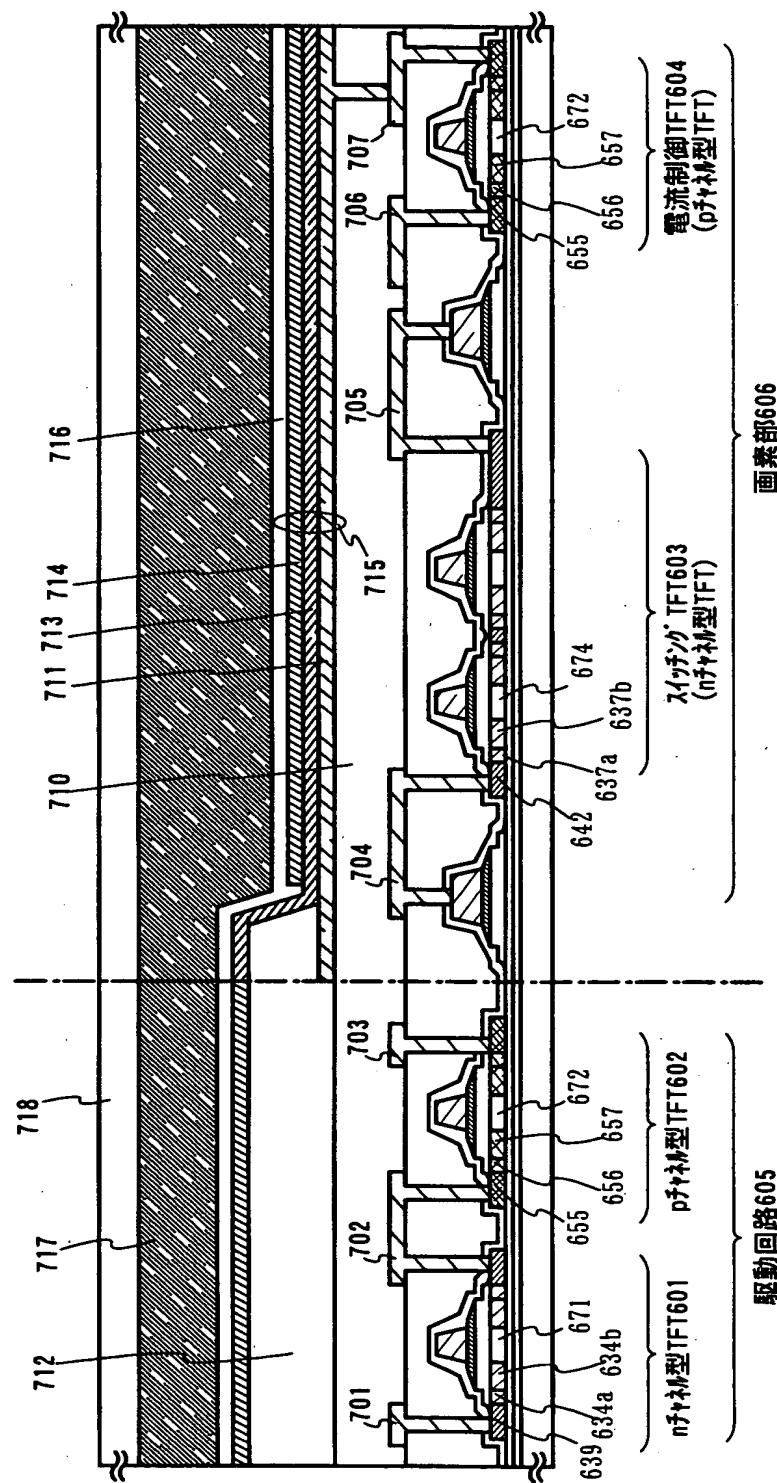
【図11】



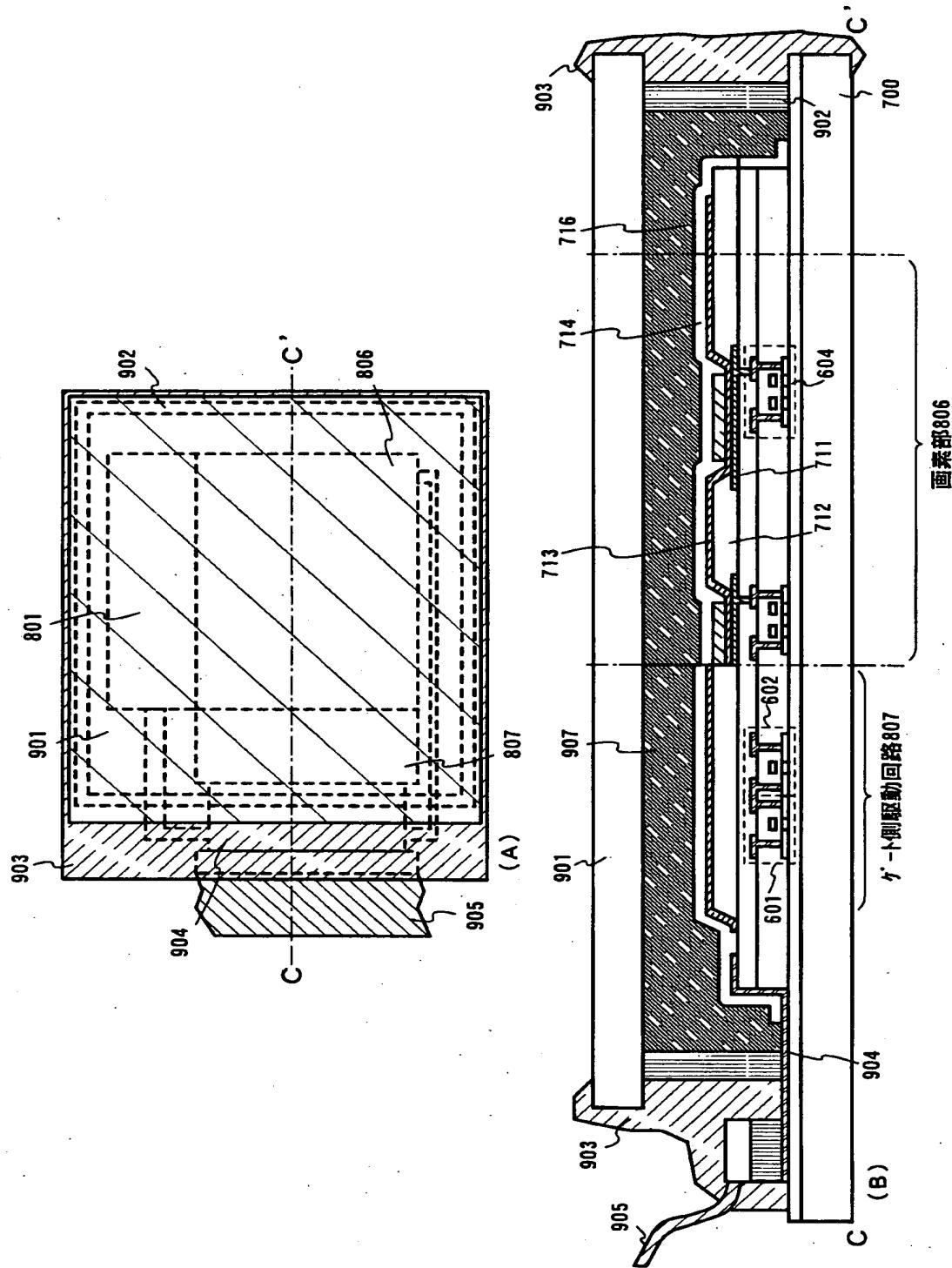
【図12】



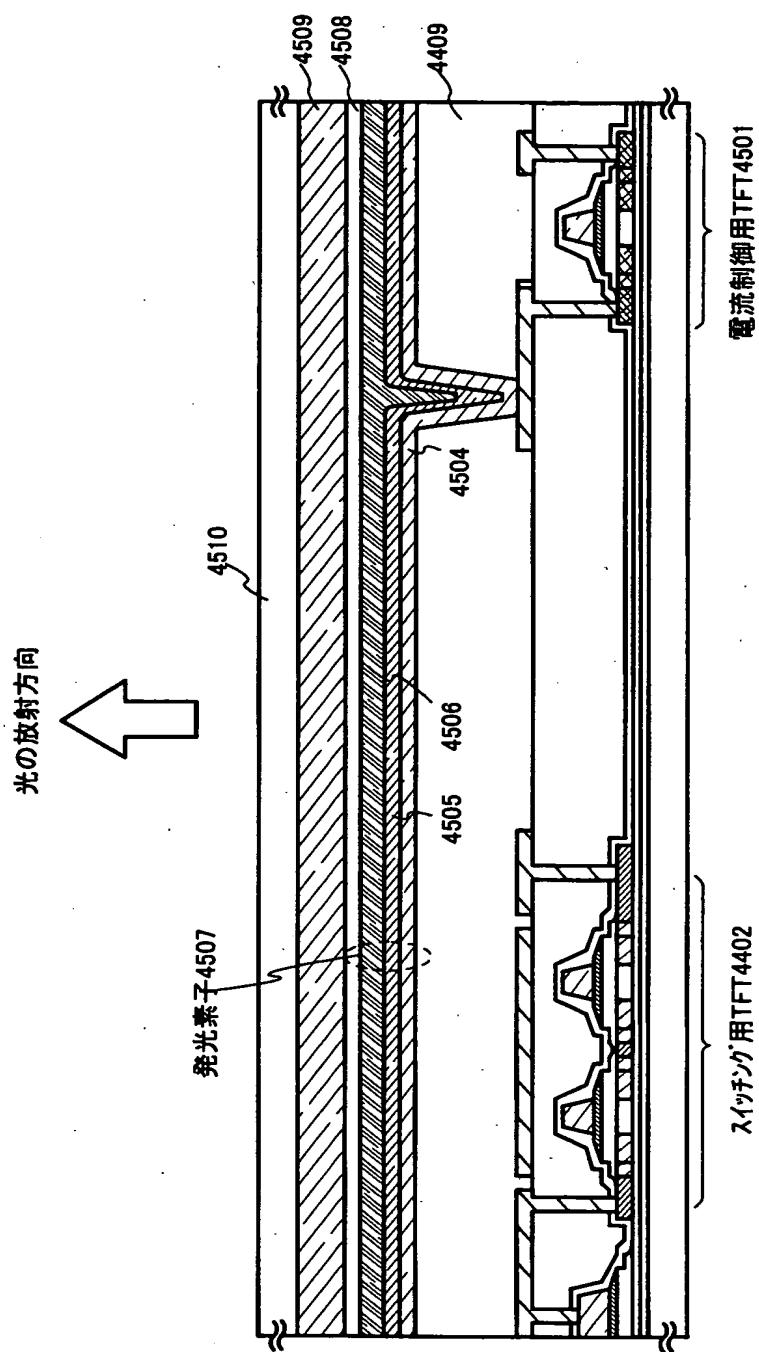
【図13】



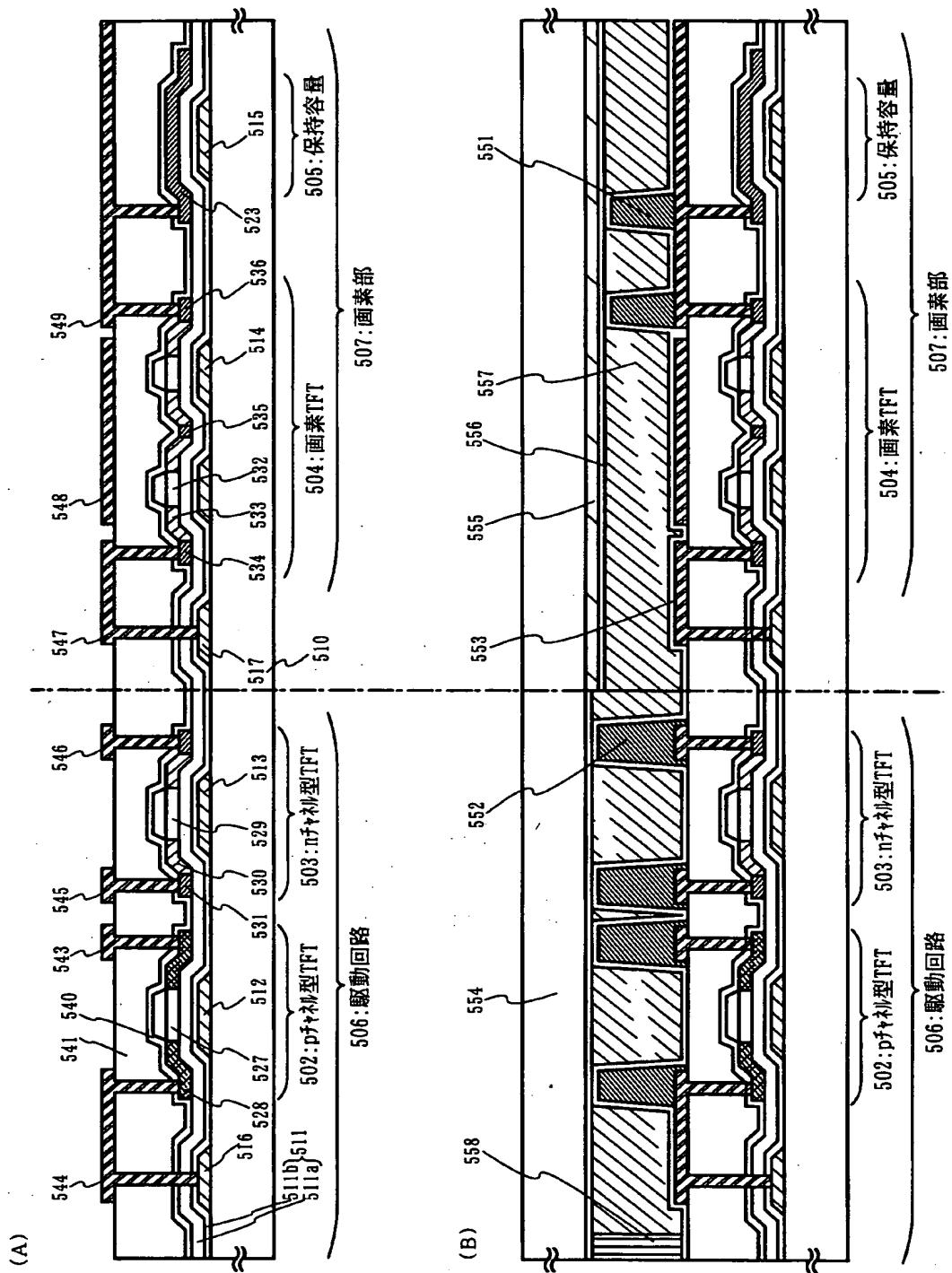
【図14】



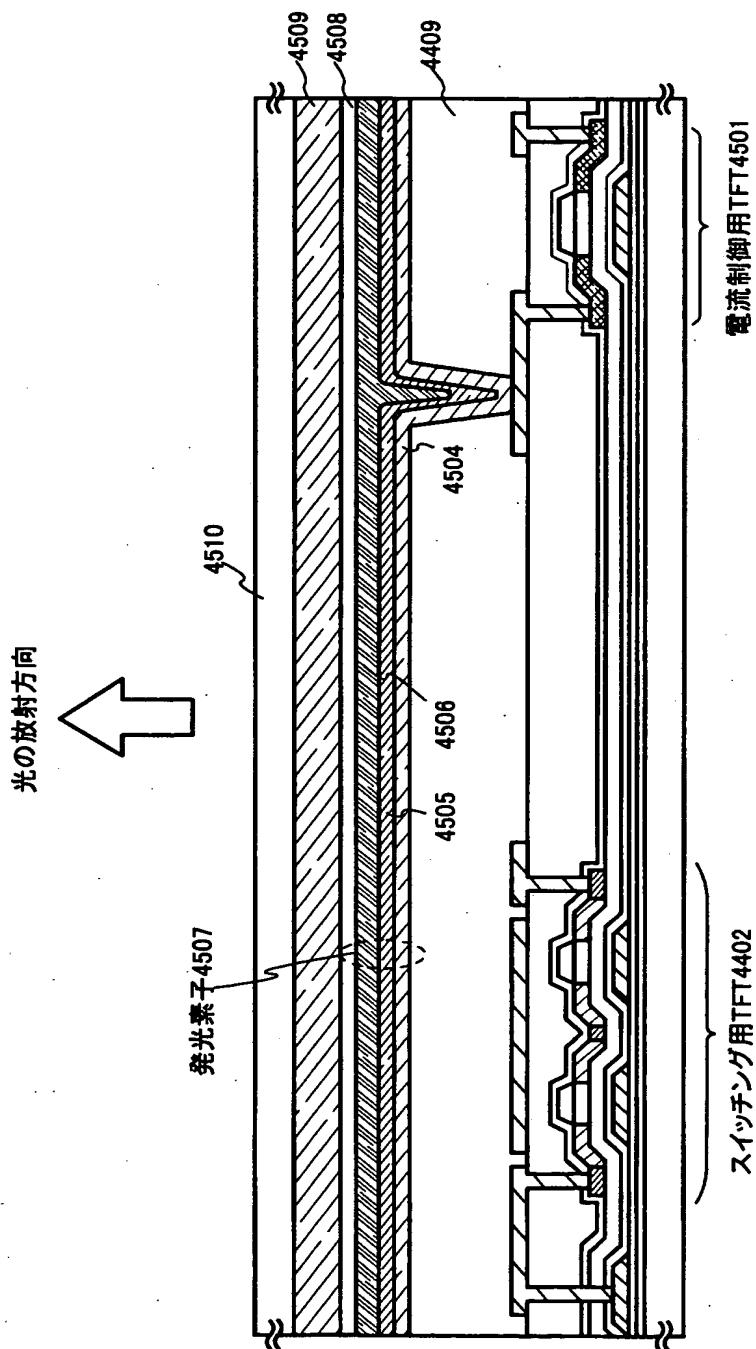
【図15】



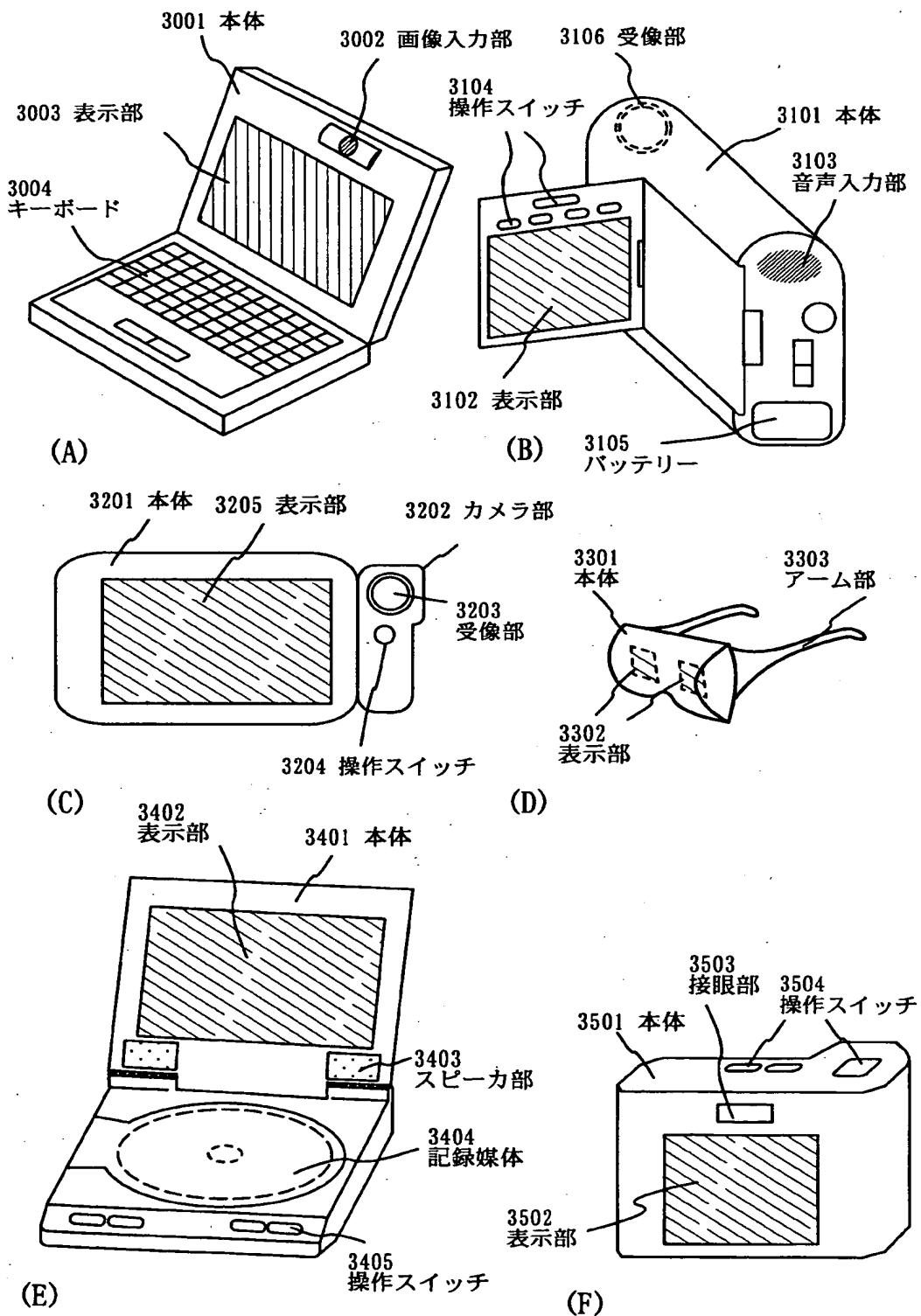
【図16】



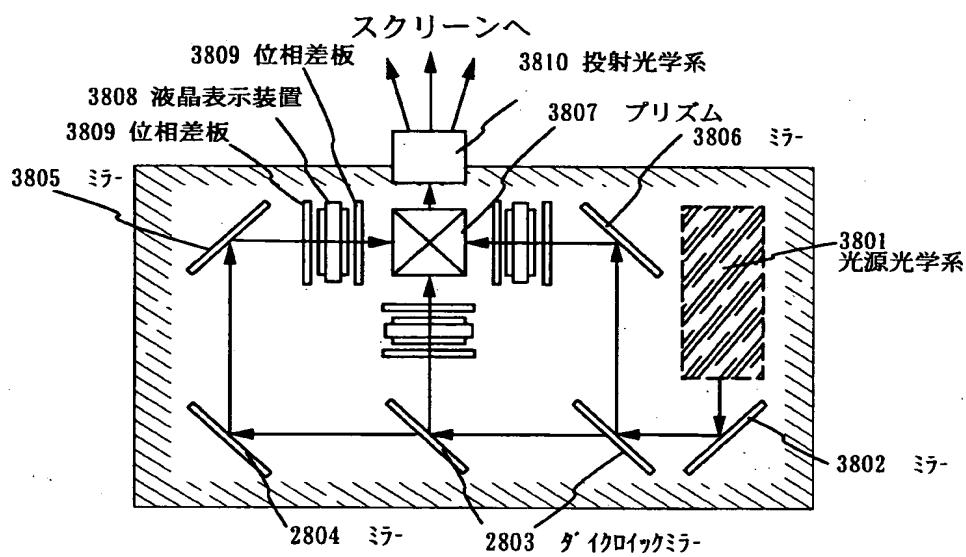
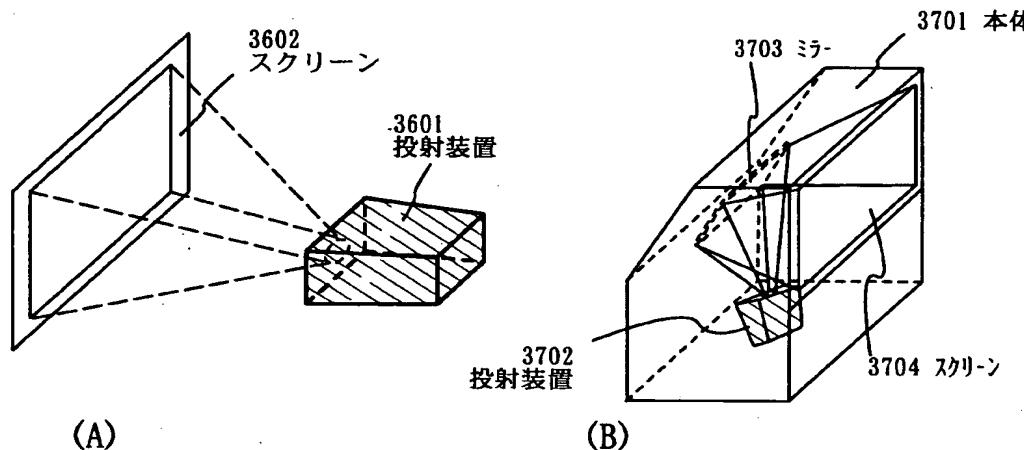
【図17】



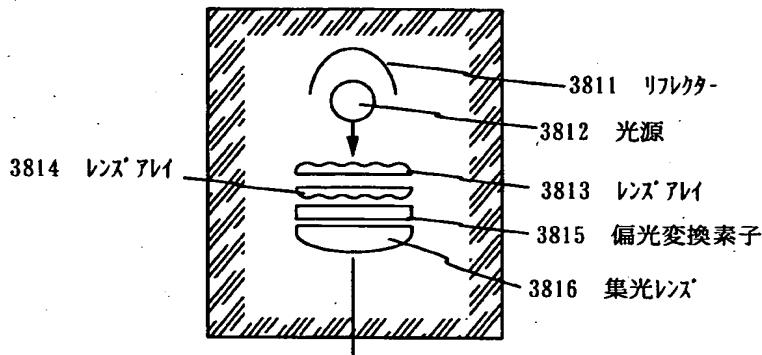
【図18】



【図19】

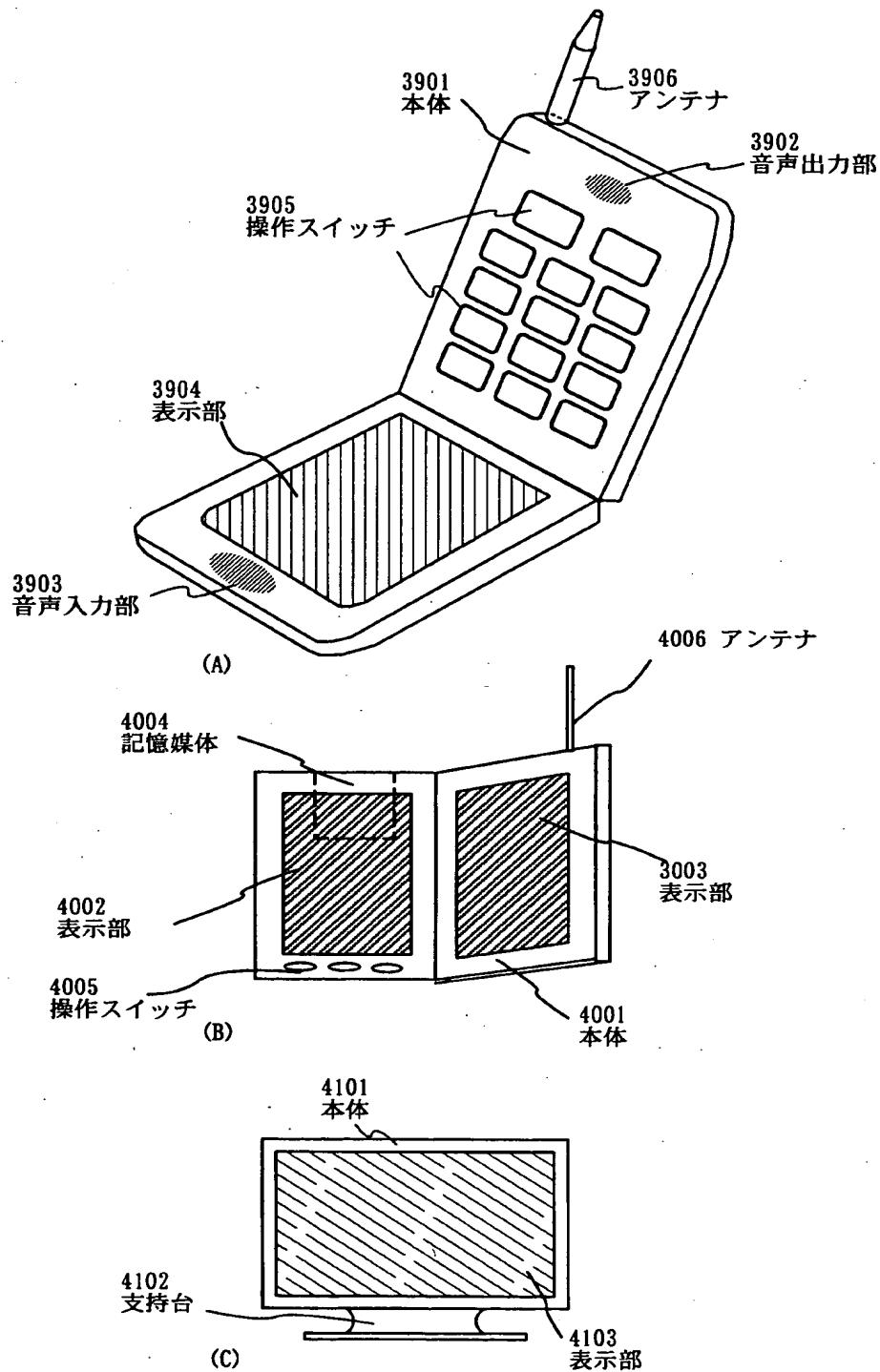


(C) 投射装置（三板式）



(D) 光源光学系

【図20】



【書類名】 要約書

【要約】

【課題】 レーザ光の照射による結晶化法は、すなわち、半導体膜にレーザ光を照射すると、半導体膜が瞬間に溶融されて、局所的に膨張したり、基板と半導体膜との温度勾配が急峻であるため、前記半導体膜に歪みが生じ、得られる結晶質半導体膜の膜質を低下させてしまう場合がある。

【解決手段】

本発明は、半導体膜に対してレーザ光による結晶化を行なった後に、加熱処理により前記半導体膜を加熱することで、歪みを低減することを特徴とする。レーザ光による照射が局所的に加熱するのに対し、加熱処理は基板および半導体膜を全体的に加熱するため、半導体膜に形成された歪みが低減され、該半導体膜の物性を向上することを可能とする。

【選択図】 図1

出願人履歴情報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地
氏 名 株式会社半導体エネルギー研究所